

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開平6-318391

(43)公開日 平成 6 年(1994)11月15日

(51)Int.Cl.⁵
G 1 1 C 11/401

識別記号
6866-5L
6866-5L

庁内整理番号

F I
G 1 1 C 11/ 34

技術表示箇所
3 6 2 C
3 6 2 Z

審査請求 未請求 請求項の数21 O L (全 113 頁)

(21)出願番号 特願平5-296339

(22)出願日 平成 5 年(1993)11月26日

(31)優先権主張番号 特願平5-94810

(32)優先日 平 5 (1993) 1 月29日

(33)優先権主張国 日本 (J P)

(71)出願人 591036457
三菱電機エンジニアリング株式会社
東京都千代田区大手町 2 丁目 6 番 2 号

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 村井 泰光
兵庫県伊丹市東野 4 丁目61番地 5 号 三菱
電機エンジニアリング株式会社エル・エ
ス・アイ設計センター内

(74)代理人 弁理士 高田 守

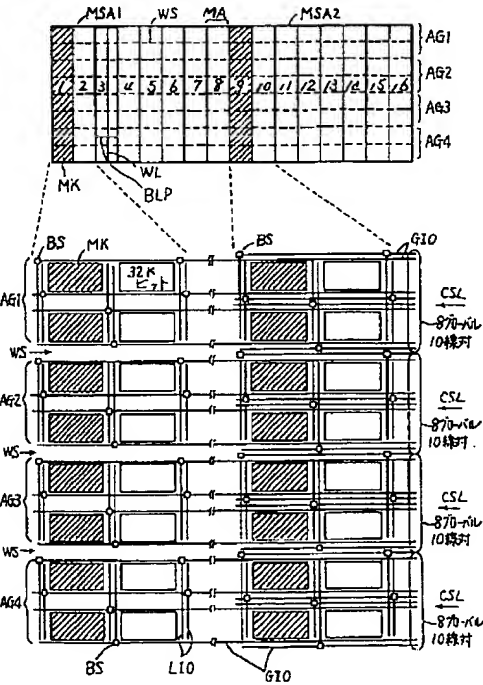
最終頁に続く

(54)【発明の名称】 同期型半導体記憶装置および半導体記憶装置

(57)【要約】

【目的】 チップ面積を増大させることなく高速でかつ安定に動作する同期型半導体記憶装置を提供する。

【構成】 活性単位となるメモリアレイ (MA) は複数の小メモリアレイ (MK) に分割される。2つの小メモリアレイに対してローカル I O 線対 (L I O) が配置される。グローバル I O 線対 (G I O) はワード線シャント領域 (W S) にワード線と交差するように配設される。ローカル I O 線対とグローバル I O 線対との交差部において接続スイッチ (B S) が設けられる。活性化されたメモリアレイの各小メモリアレイがローカル I O 線対を介して対応のグローバル I O 線対に接続される。これにより配線占有面積を増大させることなく複数ビットを同時に読出すことができる。



(2)

特開平6-318391

1

2

【特許請求の範囲】

【請求項1】 各々が、行列状に配置された複数のメモリセルと、各前記列に対応して配置される複数のビット線対と、前記複数のビット線対の所定のビット線に対する容量バランスを与えるためのダミービット線とを含む複数のメモリセルアレイブロックと、

前記複数のメモリセルアレイブロックに対応して設けられ、対応のメモリセルアレイブロックの選択されたメモリセルとデータ信号の授受を行なうための複数のローカルIO線と、

前記複数のローカルIO線に共通に設けられ、ブロック指示信号により指定されたメモリセルアレイブロックに対応するローカルIO線とデータ信号の授受を行なうためのグローバルIO線と、

プリチャージ指示信号にตอบสนองして、前記ダミービット線および対応のローカルIO線を電氣的に接続して、前記ローカルIO線を所定電位にプリチャージするプリチャージ手段とを備える、半導体記憶装置。

【請求項2】 各々が、行列状に配置された複数のメモリセルと、各前記列に対応して配置される複数のビット線対と、前記複数のビット線対の各ビット線に対する容量バランスを与えるためのダミービット線とを有する複数のメモリセルアレイブロックを備え、前記複数のメモリセルアレイブロックの各々は複数の列グループに分割され、

前記複数のメモリセルアレイブロックの前記グループに対応して設けられ、対応のアレイブロックグループの選択されたメモリセルとデータ信号の授受を行なうための複数のローカルIO線と、

前記複数のメモリセルアレイブロックに共通に設けられかつ前記複数のメモリセルアレイブロックグループに対応して配置される複数のグローバルIO線と、

ブロック選択信号にตอบสนองして、選択されたメモリセルアレイブロックの各ローカルIO線を前記グローバルIO線へ接続するための接続手段と、

プリチャージ指示信号にตอบสนองして、各前記ダミービット線を対応のローカルIO線に電氣的に接続して、前記ダミービット線および前記ローカルIO線を所定電位にプリチャージするためのプリチャージ手段とを備える、半導体記憶装置。

【請求項3】 各々が行列状に配置された複数のメモリセルを含む複数のメモリセルアレイブロックと、各前記列に対応して配置され、センスアンプ活性化信号にตอบสนองして、対応の列の信号を検知し増幅する複数のセンスアンプと、

前記複数のメモリセルアレイブロックに対応して配置され、対応のメモリセルアレイブロックの選択されたメモリセルとデータ信号の授受を行なうための複数のローカルIO線と、

前記複数のローカルIO線に共通に設けられるグローバ

10

20

30

40

50

ルIO線と、

各前記メモリセルアレイブロックに対応して設けられ、前記センスアンプ活性化信号にตอบสนองして、対応のローカルIO線を前記グローバルIO線に接続する接続手段とを備える、半導体記憶装置。

【請求項4】 各々が行列状に配置された複数のメモリセルを含みかつ第1のグループと第2のグループとに分割される複数のメモリセルアレイブロックと、

各前記複数のメモリセルアレイブロックの一方側と他方側とに各列に1つずつの割合で各列に配置され、対応の列上の信号を検知し増幅する複数のセンスアンプと、

前記複数のメモリセルアレイブロックに対応して配置される複数のローカルIO線と、

第1のグローバルIO線と、

第2のグローバルIO線と、

ブロック指定信号にตอบสนองして、前記第1および第2のグループからそれぞれ1つのメモリセルアレイブロックを前記第1および第2のグローバルIO線へ接続する接続手段を含み、

前記接続手段は、

前記第1のグループにおいて少なくとも1個のメモリセルアレイブロックに対応するローカルIO線を前記第1のグローバルIO線に接続し、かつ前記第1のグループの残りのメモリセルアレイブロックに対応して設けられ、対応のローカルIO線を前記第2のグローバルIO線に接続する第1の接続手段と、

前記第2のグループの少なくとも1個のメモリセルアレイブロックに対応して設けられ、ブロック選択信号にตอบสนองして対応のブロックに関連するローカルIO線を前記第2のグローバルIO線に接続しかつ前記グループの残りのメモリセルアレイブロックに対応するローカルIO線をブロック選択信号にตอบสนองして前記第1のグローバルIO線に接続する第2の接続手段とを備える、半導体記憶装置。

【請求項5】 各々が行列状に配置される複数のメモリセルを有する複数のメモリセルアレイ、前記複数のメモリセルアレイの各々は、行方向に沿って複数のブロックに分割されかつ隣接グループ間にはワード線シャント領域が配置されており、

各前記アレイブロックに対応して配置され、対応のアレイブロックの選択されたメモリセルとデータ信号の授受を行なうための複数のローカルIO線と、

前記複数のメモリアレイの所定数のアレイに共通に設けられかつ前記所定数のアレイ内の各アレイブロックに対応して前記ワード線シャント領域に配置される複数のグローバルIO線と、

アレイ選択信号にตอบสนองして、対応のローカルIO線と対応のグローバルIO線とを接続する接続手段とを含む、半導体記憶装置。

【請求項6】 データ出力端子と、前記データ出力端子

(3)

特開平6-318391

3

4

に共通に設けられ、同時に選択された複数のメモリセルから読出されたデータを並列に受けるための複数のレジスタとを備える同期型半導体記憶装置であって、データ読出指示に応答して、前記レジスタを所定の順序で順次選択する選択手段と、前記選択手段により選択されたレジスタの格納するデータをラッチするラッチ手段と、前記ラッチ手段のラッチしたデータを前記出力端子へ伝達する読出手段と、前記データ読出指示に応答して、前記ラッチ手段と前記読出手段とを活性化する駆動手段とを含む、同期型半導体記憶装置。

【請求項7】 データ出力端子と、前記データ出力端子に共通に設けられ、同時に選択された複数のメモリセルから読出されたデータを並列に受けて格納する複数のレジスタとを含み、一連のバス列からなるクロック信号に同期して外部から与えられる信号および書込データを取込む同期型半導体記憶装置であって、データ読出指示と前記クロック信号とに同期して、前記レジスタを選択するためのラップアドレスを発生するラップアドレス発生手段と、前記ラップアドレス発生手段からのラップアドレスに従って、対応のレジスタが格納するデータを前記出力端子へ伝達する読出手段とを備える、同期型半導体記憶装置。

【請求項8】 データ出力端子と、前記データ出力端子に共通に設けられ、行列状に配置された複数のメモリセルアレイから同時に選択された複数のメモリセルのデータを並列に受けて格納する複数のレジスタとを含み、一連のバス列からなるクロック信号に同期して制御信号、アドレス信号および書込データを含む外部信号を取込む同期型半導体記憶装置であって、列選択指示が与えられてから前記データ出力端子に有効データが現われるまでの前記クロック信号のサイクル数を定義するレイテンシデータを格納するレイテンシ格納手段と、前記データ出力端子から連続的に読出される有効データの数を定義するラップ長データを格納するラップ長格納手段と、前記クロック信号とデータ読出指示とに同期して、前記複数のレジスタを所定の順序で選択するためのラップアドレスを発生するラップアドレス発生手段と、前記列選択指示と前記データ読出指示とに同期して、前記列選択指示が与えられてから数えて前記レイテンシデータが示すレイテンシより2以上のクロックサイクル前のクロック信号に同期して前記ラップアドレス発生手段を活性化しかつこの活性化の後前記ラップ長データが示すラップ長のクロックサイクル経過後前記ラップアドレス発生手段を不活性化する制御手段とを備える、同期型半導体記憶装置。

【請求項9】 一連のバス列からなるクロック信号に同期して、制御信号、アドレス信号および書込データを取込むとともに行列状に配置された複数のメモリセルを含むメモリセルアレイから所定数のメモリセルが同時に選択される同期型半導体記憶装置であって、前記同時に選択されたメモリセルのデータを第1の制御信号に同期して並列にラッチする第1のラッチ手段と、前記第1のラッチ手段のラッチするデータを第2の制御信号に同期してラッチする第2のラッチ手段と、前記第2のラッチ手段のラッチデータを所定の順序で順次前記データ出力端子へ伝達する出力手段と、前記クロック信号に同期して与えられる列選択指示に同期して、前記第1および第2の制御信号を順次発生する制御手段とを備える、同期型半導体記憶装置。

【請求項10】 行列状に配置されたメモリセルを含むメモリセルアレイから所定数のメモリセルが同時に選択され、かつ一連のバス列からなるクロック信号に同期して制御信号、入力データおよびアドレス信号を取込むとともに、さらに列選択指示が与えられてからレイテンシが示すクロックサイクル経過後データ出力端子に有効データが現われる同期型半導体記憶装置であって、前記同時に選択された所定数のメモリセルのデータを並列に受けてラッチする第1のラッチ手段と、前記列選択指示に同期して活性化され、前記クロック信号の数をカウントするカウント手段と、前記第1のラッチ手段のラッチデータを受けてラッチする第2のラッチ手段と、前記第2のラッチ手段のラッチデータを所定の順序で読出して前記データ出力端子へ伝達する出力手段と、前記カウント手段の前記レイテンシ数より所定数小さいカウント値に同期して前記第1のラッチ手段のラッチデータを前記第2のラッチ手段へ転送する転送手段とを備える、同期型半導体記憶装置。

【請求項11】 データ出力端子と、前記データ出力端子に共通に設けられ、メモリセルアレイから同時に選択されたメモリセルのデータを並列に受けて格納する複数のレジスタとを有し、かつ一連のバス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、列選択指示が与えられてから有効データが前記出力端子に現われるまでに要するクロックサイクル数を示すレイテンシデータを格納するレイテンシ格納手段と、前記出力端子に連続的に読出される有効データの数を示すラップ長データを格納するラップ長格納手段と、前記列選択指示に同期して、前記複数のレジスタを所定の順序で順次選択する選択手段と、前記選択手段により選択されたレジスタの格納するデータを受けて読出データを生成してこの生成した読出データを前記データ出力端子へ伝達する出力手段と、前記列選択指示に同期して活性化され、前記クロック信

(4)

特開平6-318391

5

号をカウントし、そのカウント値が前記レイテンシ数より1小さい値から前記ラップ長以上の所定値となる期間の間前記出力手段をデータ出力可能状態にする制御手段とを備える、同期型半導体記憶装置。

【請求項12】 データ出力端子と、前記データ出力端子に共通に設けられ、かつ複数のバンクに分割され、対応のバンクにおいて選択された複数のメモリセルのデータを並列に受けて格納する複数のレジスタとを含み、一連のバス列からなるクロック信号に同期して外部から与えられる信号および入力データを取込む同期型半導体記憶装置であって、
前記複数のレジスタ各々に対して設けられるデータ転送手段と、
前記データ転送手段から与えられるデータから読出データを生成して前記出力端子へ伝達する出力手段と、
列選択指示とバンク指定信号とにตอบสนองして活性化され、前記クロック信号をカウントし、該カウント値が所定値の間にある間前記バンク指示信号が指定するバンクに対して設けられたデータ転送手段のみを作動状態とする制御手段とを備える、同期型半導体記憶装置。

【請求項13】 行列状に配置されたメモリセルを有するメモリセルアレイから同時に所定数のメモリセルが選択され、かつ一連のバス列からなるクロック信号に同期して外部から与えられる信号および入力データを取込む同期型半導体記憶装置であって、
前記入力データを受けるデータ入力端子と、
前記データ入力端子に共通に設けられ、前記同時に選択されたメモリセルに書込まれるべきデータを格納するための複数のレジスタ手段と、
前記クロック信号に同期して与えられる列選択指示にตอบสนองして、前記複数のレジスタを順次所定の順序で選択して前記データ入力端子に結合するためのレジスタ選択手段と、
前記列選択指示にตอบสนองして、所定数単位で、前記レジスタ手段が格納するデータを対応のメモリセルへ伝達するデータ伝達手段とを含む、同期型半導体記憶装置。

【請求項14】 行列状に配置されたメモリセルを有するメモリセルアレイから複数のメモリセルが同時に選択され、かつ一連のバス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置であって、
前記同時に選択される複数のメモリセルに対応して配置され、所定の順序で前記データ入力端子に結合され、前記入力端子に与えられたデータを格納する複数の第1のラッチと、
前記複数の第1のラッチ各々に対応して設けられ、対応の第1のラッチが格納するデータを受けかつラッチする複数の第2のラッチと、
列選択指示にตอบสนองして、前記第1のラッチにデータがラッチされた後に対応の第2のラッチへデータを転送する

6

ように転送制御信号を発生する転送制御手段とを備える、同期型半導体記憶装置。

【請求項15】 一連のバス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置であって、
前記クロック信号を分周しかつ分周したクロック信号を位相シフトして複数の駆動信号を生成する手段と、
前記複数の駆動信号にตอบสนองして基準電圧を発生する手段とを含む、同期型半導体記憶装置。

【請求項16】 一連のバス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置であって、
データ入出力端子数の情報を設定するための手段と、
前記クロック信号を分周しかつ分周された信号を位相シフトさせて複数の駆動信号を発生する手段と、
前記複数の駆動信号にตอบสนองして基準電圧を発生する手段と、

20 前記データ入出力端子数情報に従って、前記基準電圧発生手段の駆動能力を調整する手段とを含む、同期型半導体記憶装置。

【請求項17】 一連のバス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを取込む同期型半導体記憶装置であって、
互いに独立に駆動可能であり、かつ共通のデータ入出力端子を介してデータの入力および出力を行なう複数のバンクと、
前記複数のバンク各々に対応して設けられ、前記クロック信号にตอบสนองして基準電圧を発生する複数の基準電圧発生手段とを含む、同期型半導体記憶装置。

【請求項18】 外部から周期的に与えられるクロック信号に同期して外部制御信号を取込む同期型半導体記憶装置であって、
行列状に配列される複数のメモリセルと、
前記クロック信号に同期して連続して入出力されるべきデータの数を示すラップ長データを格納する手段と、
選択されたメモリセルとデータの授受を行なうための内部データ線と、

40 前記内部データ線を所定電位にプリチャージするためのプリチャージ手段と、
列選択開始指示信号にตอบสนองして、前記クロック信号をカウントするカウント手段と、
前記列選択開始指示信号にตอบสนองして前記プリチャージ手段を不活性状態とし、かつ前記カウント手段のカウント値が前記ラップ長データが示すラップ長と等しくなると前記プリチャージ手段を活性化して前記内部データ線を所定電位にプリチャージさせるためのプリチャージ制御手段とを備える、同期型半導体記憶装置。

50 【請求項19】 外部から周期的に与えられるクロック

(5)

特開平6-318391

7

信号に同期して外部制御信号を取込む同期型半導体記憶装置であって、

複数のメモリセルと、

選択されたメモリセルとデータの授受を行なうための内部データ線と、

各前記クロック信号に同期して所定期間活性化され、前記内部データ線を所定電位にプリチャージするプリチャージ手段とを備える、同期型半導体記憶装置。

【請求項20】 外部から周期的に与えられるクロック信号に同期して外部制御信号を取込む同期型半導体記憶装置であって、

行列状に配列される複数のメモリセルと、

選択されたメモリセルとデータの授受を行なうための内部データ線と、

列選択開始指示信号に応答して、前記クロック信号をカウントし、該カウント値が所定値に達するごとに活性化されて前記内部データ線を所定電位にプリチャージするプリチャージ手段とを備える、同期型半導体記憶装置。

【請求項21】 外部から周期的に与えられるクロック信号に同期して外部制御信号を取込む同期型半導体記憶装置であって、

行列状に配列される複数のメモリセルと、

選択されたメモリセルへのデータの書込を禁止する内部書込マスク信号を各書込データに対して発生する手段と、

外部書込データ各々に対し外部から与えられる外部書込マスク信号の活性／非活性を判別する判別手段と、

前記判別手段が前記外部書込マスク信号が書込許可を示す状態にあると判別したとき、前記内部書込マスク信号を書込許可を示す状態とする書込制御手段とを備える、同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体記憶装置に関し、特に、外部から周期的に与えられるクロック信号に同期して外部信号の取込を行なう同期型半導体記憶装置に関する。より特定的には、この発明はランダムにアクセス可能な同期型ダイナミック・ランダム・アクセス・メモリ（SDRAM）に関する。

【0002】

【従来の技術】 マイクロプロセッサ（MPU）は近年ますます高速化されてきている。一方、主記憶として用いられるダイナミック・ランダム・アクセス・メモリ（以下、DRAMと称す）は高速化されてきてはいるものの、その動作速度は依然MPUの動作速度に追従することができない。このため、DRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下するということがよくいわれる。システムの性能を向上させるために、DRAMとMPUとの間に、高速のスタティック・ランダム・アクセス・メモリ

8

（SRAMと以後称す）からなるキャッシュメモリと呼ばれる高速メモリを配置する手法がよく用いられる。キャッシュメモリに使用頻度の高いデータを格納しておき、MPUが必要とするデータがキャッシュメモリ内に記憶されている場合には高速のキャッシュメモリへアクセスする。キャッシュメモリにMPUが要求するデータがないときのみDRAMへアクセスする。使用頻度の高いデータが高速のキャッシュメモリに格納されているため、DRAMへのアクセス頻度が大幅に低減され、これによりDRAMのアクセスタイムおよびサイクルタイムの影響を排除してシステムの性能を向上させる。

【0003】 このキャッシュメモリを用いる方法は、SRAMがDRAMに比べて高価であるため、パーソナルコンピュータなどの比較的安価な装置には適していない。したがって、安価なDRAMを用いてかつシステムの性能を向上させることが求められている。MPUとDRAMとを単に同期動作させるだけであれば、DRAMへシステムクロックを与え、このシステムクロックに同期してDRAMを動作させればよい。DRAMをシステムクロック信号に同期して動作させる構成は、ハラによる米国特許第5083296号に示されている。ハラは、クロック信号CLKに同期してチップセレクト信号／CSおよびライトイネーブル信号／WEをラッチする。ラッチされたチップセレクト信号／CSが活性状態にありDRAMが選択されたことを示している場合、クロック信号に同期して内部RAS信号および内部CAS信号が発生される。内部RAS信号および内部CAS信号に응答してアドレス信号をラッチして内部行アドレス信号および内部列アドレス信号を生成する。データの入出力もクロック信号CLKに同期して行なわれる。

【0004】 ハラは、DRAMをクロック同期動作させることにより、DRAMをロウアドレスストロブ信号RAS、コラムアドレスストロブ信号CASなどの制御信号で動作させる際に生じるタイミングのずれなどの問題の解決を図っている。

【0005】

【発明が解決しようとする課題】 上述のハラは、単にDRAMをクロック同期動作させることのみを意図している。アドレス信号はクロック信号CLKに同期して発生された内部RAS信号および内部CAS信号によりラッチされている。比較的低速のクロック信号かまたは十分なセットアップ時間およびホールド時間のマージンを有するアドレス信号であれば外部アドレス信号に응答して所望の内部アドレス信号を生成することができる。しかしながら、クロック信号CLKが高速であるか、またはアドレス信号のセットアップ時間およびホールド時間のマージンが少ない場合、内部RAS信号およびCAS信号が発生された場合内部アドレス信号がすでに無効状態に移行していることが生じる。したがって、

(6)

特開平6-318391

9

10

このハラのDRAMは高速のクロック信号に同期して動作させることはできない。すなわち、高速のMPUに対する高速の主記憶として利用できない。

【0006】また、このハラのDRAMは、内部構成としては通常の標準DRAMと同様の構成を備えており、外部制御信号およびデータ入出力部分にのみクロックで動作するラッチ回路が設けられているだけである。一方、米国JEDEC (Joint Electron Device Engineering Council) は、高速MPUのための主記憶としてクロック信号に同期して動作する同期型DRAM (シンクロナスDRAM; 以下、SDRAMと称す) を採用し、このSDRAMの仕様の標準化作業を現在行なっている。未だ、この標準仕様の詳細については明らかにされていない。日経エレクトロニクス、1992年2月3日号の第85頁の記事によると、次の構成が提案されている:

(1) 周期10ないし15ns (ナノ秒) のクロック信号で同期をとる。

【0007】(2) 最初のランダム・アクセスでは、行アドレス信号入力後4ないし6クロックでデータをアクセスする。その後、1クロックごとに連続するアドレスのデータをアクセスすることができる。

(3) チップ内回路をパイプライン動作させ、またシリアル入出力バッファをデータ入出力部に設けてアクセス時間を短縮する。上述の構成は単に案だけであり、具体的にどのようにこれらを実現するかについては何ら述べられていない。それゆえ、この発明の目的は、新規な構成の高速動作するSDRAMを提供することである。この発明の他の目的は、チップ占有面積の小さいSDRAMを提供することである。

【0008】この発明のさらに他の目的は、チップ占有面積の小さな半導体記憶装置を提供することである。

【0009】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、複数のメモリセルアレイブロックを含む。アレイブロックの各々は、複数のビット線対と、所定のビット線に容量バランスを与えるためのダミービット線とを含む。この半導体記憶装置はさらに、複数のメモリセルアレイブロックに対応して設けられ、対応のアレイブロックの選択されたメモリセルとデータ信号の授受を行なうための複数のローカルIO線と、これらの複数のローカルIO線に共通に設けられ、選択されたアレイブロックに対応するローカルIO線とデータ信号の授受を行なうためのグローバルIO線と、プリチャージ指示にตอบสนองして、ダミービット線と対応のローカルIO線とを電氣的に接続するとともに、このダミービット線を介して各ローカルIO線を所定電位にプリチャージするプリチャージ手段を備える。

【0010】請求項2の半導体記憶装置は、各々が、行列状に配置された複数のメモリセルを有する複数のメモ

リセルアレイブロックとを含む。これらの複数のメモリセルアレイブロックの各々は、複数の列グループに分割される。隣接する列グループの間にはワード線シャント領域が設けられる。この請求項2に係る半導体記憶装置はさらに、ワード線シャント領域において配置され、所定数のアレイブロックに共通に設けられかつ列グループに対応して設けられる複数のグローバルIO線と、ブロック選択信号にตอบสนองして、選択されたアレイブロックのローカルIO線を関連のグローバルIO線に接続する接続手段とを含む。列グループの各々は、各列に対応して配置される複数のビット線対と、各ビット線対のビット線に対し容量バランスを与えるためのダミービット線と、プリチャージ指示にตอบสนองしてこのダミービット線に対応のローカルIO線に接続し、ダミービット線およびローカルIO線を所定電位にプリチャージするプリチャージ手段を含む。

【0011】請求項3に係る半導体記憶装置は、各々が行列状に配置された複数のメモリセルを有する複数のメモリセルアレイブロックと、各列に対応して配置され、センスアンプ駆動信号にตอบสนองして対応の列上の信号を検知し増幅するセンスアンプ手段と、複数のメモリセルアレイブロックに対応して配置され、対応のアレイブロックの選択されたメモリセルとデータ信号の授受を行なうための複数のローカルIO線と、複数のメモリセルアレイブロックに共通に設けられるグローバルIO線と、センスアンプ活性化信号にตอบสนองして、前記センスアンプ活性化信号が伝達されたアレイブロックに対応するローカルIO線をグローバルIO線に接続する接続手段とを含む。請求項4に係る半導体記憶装置は、行列状に配置された複数のメモリセルを各々が含む複数のメモリセルアレイブロックと、各アレイブロックの一方側と他方側とに各列に1つずつの割合で確実に設けられる、対応の列上の信号を検知し増幅する複数のセンスアンプとを含む。この複数のメモリセルアレイブロックは、第1のグループと第2のグループとに分割される。

【0012】請求項4に係る半導体記憶装置はさらに、これらの複数のブロックに対応して配置される複数のローカルIO線と、第1のグローバルIO線と、第2のグローバルIO線とブロック選択信号にตอบสนองして、第1のグループから1つのメモリアレイブロックと、第2のグループから1つのメモリアレイブロックをともに活性化する手段と、このブロック選択信号にตอบสนองして、対応のアレイブロックに対応して設けられるローカルIO線を第1および第2のグローバルIO線に接続する手段を含む。この接続手段は、第1のグループにおいては少なくとも1つのアレイブロックに対しては、対応のローカルIO線を第1のグローバルIO線に接続し、残りのアレイブロックに対しては、対応のローカルIO線を第2のグローバルIO線に接続する第1の接続手段と、第2のグループにおいて、少なくとも1つのアレイブロックに

(7)

特開平6-318391

11

対しては対応のローカルIO線を第2のグローバルIO線へ接続し、残りのアレイブロックについては対応のローカルIO線を第1のグローバルIO線へ接続する第2の接続手段を含む。

【0013】請求項5に係る半導体記憶装置は、各々が行列状に配置された複数のメモリセルを有する複数のメモリアレイを含む。各メモリアレイは、行方向に沿って複数のブロックに分割される。隣接ブロック間には、ワード線シャント領域が配置される。この半導体記憶装置は、さらに、各アレイブロックに対応して配置され、対応のアレイブロック内の選択されたメモリセルとデータ信号の授受を行なうための複数のローカルIO線と、所定数メモリアレイに共通に設けられかつ複数のブロックに対応してワード線シャント領域に配置される複数のグローバルIO線と、アレイ選択信号に従って、選択されたアレイに対応するローカルIO線をそれぞれ対応のグローバルIO線に接続する接続手段を含む。

【0014】請求項6に係る半導体記憶装置は、データ読出端子と、このデータ読出端子に共通に設けられ、同時に選択された複数のメモリセルからのデータを並列に受ける複数のデータレジスタとを含む。この半導体記憶装置はさらに、複数のレジスタを、所定の順序で順次選択する選択手段と、この選択手段により選択されたレジスタが格納するデータを受けてラッチするラッチ手段と、このラッチ手段のラッチデータを受けてデータ出力端子へ伝達する出力手段と、このラッチ手段と出力手段とを活性化する駆動手段とを含む。請求項7に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して、外部から与えられる信号およびデータを取込む同期型半導体記憶装置である。この同期型半導体記憶装置は、データ出力端子と、このデータ出力端子に共通に設けられ、メモリセルアレイにおいて同時に選択された複数のメモリセルのデータを並列に受けて格納する複数のレジスタを含む。

【0015】この同期型半導体記憶装置は、データ読出指示とクロック信号とにตอบสนองして、複数のレジスタから特定のレジスタを指定するためのラップアドレスを発生するラップアドレス発生手段と、このラップアドレス発生手段からのラップアドレスに従って対応のレジスタの格納データを出力端子へ伝達する出力手段とを含む。請求項8に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置である。この同期型半導体記憶装置は、データ出力端子と、このデータ出力端子に共通に設けられ、メモリセルアレイにおいて同時に選択された複数のメモリセルのデータを並列に受けて格納する複数のレジスタを含む。この同期型半導体記憶装置は、列選択指示が与えられてからデータ出力端子に有効データが現われるまでのクロック信号のサイクル数を定義するレイテンシデータ

12

を格納するレイテンシ格納手段と、データ出力端子から連続的に出力される有効データの数を定義するラップ長データを格納するラップ長格納手段と、クロック信号とデータ読出指示とにตอบสนองして、複数のレジスタから特定のレジスタを選択するためのラップアドレスを発生するラップアドレス発生手段と、列選択指示が与えられてから数えてレイテンシ数データが示すレイテンシ数より2以上のクロックサイクル前のクロック信号に同期してラップアドレス発生手段を活性化しかつラップ長データが示すラップ長のクロックサイクルの経過後このラップアドレス発生手段を不活性化化する制御手段とを備える。

【0016】請求項9に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して制御信号、入力データおよびアドレス信号を含む外部信号を取込む同期型半導体記憶装置である。この同期型半導体記憶装置においては、行列状に配置されたメモリセルを含むメモリセルアレイから同時に所定数のメモリセルが選択される。この同期型半導体記憶装置は、同時に選択されたメモリセルのデータを第1の制御信号にตอบสนองして同時にラッチする第1のラッチ手段と、この第1のラッチ手段のラッチデータを第2の制御信号にตอบสนองしてラッチする第2のラッチ手段と、第2のラッチ手段のラッチデータを所定の順序で順次データ出力端子へ伝達する出力手段と、クロック信号に同期して与えられる列選択指示にตอบสนองして第1および第2の制御信号を順次発生する制御手段とを備える。

【0017】請求項10に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを取込む同期型半導体記憶装置である。この同期型半導体記憶装置においては、行列状に配置されたメモリセルを含むメモリセルアレイから所定数のメモリセルが同時に選択される。この同期型半導体記憶装置においては、列選択指示が与えられてからレイテンシにより規定されるクロックサイクル経過時にデータ出力端子に有効データが現われる。この同期型半導体記憶装置は、同時に選択された複数のメモリセルのデータを並列に受けてラッチする第1のラッチ手段と、列選択指示にตอบสนองして活性化されてクロック信号の数をカウントするカウント手段と、第1のラッチ手段のラッチデータを受けてラッチする第2のラッチ手段と、第2のラッチ手段のラッチデータを所定の順序で読出して出力端子へ伝達する出力手段と、カウント手段のカウント値がレイテンシ数-所定値に到達したときに第1のラッチ手段のラッチデータを第2のラッチ手段へ転送するデータ転送手段とを備える。

【0018】請求項11に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置である。この同期型半導体記憶装置は、データ出力端子と、このデータ出力端子に共通に

(8)

特開平6-318391

13

設けられ、行列状に配置された複数のメモリセルを含むメモリセルアレイから同時に選択される所定数のメモリセルのデータを並列に受けて格納する複数のレジスタを含む。この同期型半導体記憶装置は、列選択指示が与えられるクロックサイクルから有効データがデータ出力端子に現われるまでに要するクロックサイクル数を示すデータを格納するレイテンシ格納手段と、データ出力端子に連続的に出力される有効データの数を示すラップ長データを格納するラップ長格納手段と、列選択指示にตอบสนองして複数のレジスタを所定の順序で順次選択する手段と、選択手段により選択されたレジスタから読出されたデータを受けて読出データを生成し、この生成した読出データをデータ出力端子へ伝達する出力手段と、列選択指示にตอบสนองして、クロック信号をカウントし、そのカウント値に従って出力手段をデータ出力可能状態に設定する出力制御手段を備える。この出力制御手段は、カウント値がレイテンシ数-1になったときからこの出力手段を活性化状態に設定し、この出力手段の活性化状態をラップ長+所定値のクロックサイクル間維持する手段を含む。

【0019】請求項12に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して、外部から与えられる信号およびデータを取込む同期型半導体記憶装置である。この同期型半導体記憶装置は、データ出力端子と、このデータ出力端子に共通に設けられ、同時に選択される複数のメモリセルのデータを並列に受けて格納する複数のレジスタを含む。この同期型半導体記憶装置は、各々が互いに独立に駆動可能な複数のバンクを含む。複数のバンクはそれぞれメモリセルアレイを含む。複数のレジスタは各バンクに対応して分割される。この同期型半導体記憶装置は、複数のレジスタに対して設けられるデータ転送手段と、このデータ転送手段から与えられるデータに従って読出データを生成してデータ出力端子へ伝達する出力手段と、列選択指示とバンク指定信号にตอบสนองして、クロック信号をカウントしこのカウント値が所定値の間にある間バンク指定信号が指定するバンクに設けられた転送手段を作動状態とする制御手段を備える。

【0020】請求項13に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置である。この同期型半導体記憶装置においては、行列状に配置された複数のメモリセルを有するメモリセルアレイから所定数のメモリセルが同時に選択される。この同期型半導体記憶装置は、データ入力端子と、このテスト入力端子に共通に設けられ、同時に選択された所定数のメモリセルに書込まれるべきデータを格納するための複数のレジスタ手段と、列選択指示にตอบสนองして、複数のレジスタ手段を所定の順序で順次選択してデータ入力端子に結合するためのレジスタ選

14

択手段と、列選択指示にตอบสนองして、予め定められた数のレジスタにデータが書込まれるごとにそのレジスタ手段が格納するデータを対応のメモリセルへ伝達する手段とを含む。

【0021】請求項14に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置である。この同期型半導体記憶装置においては、行列状に配置された複数のメモリセルを含むメモリセルアレイから複数のメモリセルが同時に選択される。この同期型半導体記憶装置は、データ入力端子に共通に設けられ、所定の順序で順次入力端子に結合される複数の第1のラッチと、第1のラッチに対応して設けられ、対応のラッチ手段がラッチするデータを第1の制御信号にตอบสนองしてラッチする複数の第2のラッチと、この第2のラッチのラッチデータを対応のメモリセルへ伝達する書込手段と、列選択指示にตอบสนองして、対応の第1のラッチにデータがラッチされた後に対応の第2のラッチをラッチするように前記第1の制御信号を順次発生する制御手段とを備える。

【0022】請求項15に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置である。この同期型半導体記憶装置は、クロック信号を分周しかつ分周したクロック信号を位相シフトさせて複数の駆動信号を生成する手段と、この複数の駆動信号にตอบสนองして基準電圧を発生する手段とを含む。請求項16に係る半導体記憶装置は、一連のパルス列のクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置である。この同期型半導体記憶装置は、データ入出力端子数情報を設定するための手段と、クロック信号を分周しかつ位相シフトさせて複数の互いに位相の異なる駆動信号を発生する手段と、複数の駆動信号にตอบสนองして基準電圧を発生する手段と、設定されたデータ入出力端子数情報に従ってこの基準電圧を発生するための手段の駆動能力を調整する手段とを含む。

【0023】請求項17に係る半導体記憶装置は、一連のパルス列からなるクロック信号に同期して、制御信号、アドレス信号および入力データを含む外部信号を取込む同期型半導体記憶装置である。この同期型半導体記憶装置は、各々がメモリセルアレイを含み、かつ互いに独立に駆動可能である複数のバンクと、これらの複数のバンク各々に対して設けられ、クロック信号にตอบสนองして基準電圧を発生する複数の基準電圧発生手段とを含む。請求項18に係る同期型半導体記憶装置は、行列状に配列される複数のメモリセルと、外部から周期的に与えられるクロック信号に同期して連続して入出力されるべきデータの数を示すラップ長データを格納する手段と、選択されたメモリセルとデータの授受を行なうための内部

(9)

特開平6-318391

15

データ線と、この内部データ線を所定電位にプリチャージするためのプリチャージ手段と、列選択開始指示信号に
 15 応答して、クロック信号をカウントするカウント手段と、列選択開始指示信号に
 20 応答してプリチャージ手段を不活性状態とし、かつカウント手段のカウント値がラッ
 プ長データが示すラップ長と等しくなるとプリチャージ手段を活性化して内部データ線を所定電位にプリチャ
 ージするためのプリチャージ制御手段とを備える。

【0024】請求項19に係る同期型半導体記憶装置は、複数のメモリセルと、選択されたメモリセルとデータ
 の授受を行なうための内部データ線と、外部から同期的に与えられるクロック信号に同期して所定期間活性化
 され、内部データ線を所定電位にプリチャージするプリチャージ手段とを含む。請求項20に係る同期型半導体
 記憶装置は、列選択開始指示信号に
 25 応答して外部から周期的に与えられるクロック信号をカウントし、このカ
 ウント値が所定値に達するごとに内部データ線を所定期間、所定電位にプリチャージする手段を含む。請求項2
 1に係る同期型半導体記憶装置は、行列状に配置される複数のメモリセルと、選択されたメモリセルへのデータ
 30 の書込を禁止する内部書込マスク信号を各書込データに対して発生する手段と、外部書込データとともに外部
 から与えられる外部書込マスク信号の活性/非活性を判別する判別手段と、この判別手段が外部書込マスク
 信号が書込許可を示す状態にあると判別したとき、内部書込マスク信号を書込許可を示す状態とする書込
 制御手段とを備える。

【0025】

【作用】請求項1に係る半導体記憶装置においては、ローカルIO線はダミービット線を介して所定電位にプリ
 35 チャージされる。ローカルIO線プリチャージ用のトランジスタを別に設ける必要がなく、チップ面積が低減
 される。請求項2に係る半導体記憶装置においては、ローカルIO線が多分割構造とされ、分割ローカルIO線が
 ワード線シャント領域に設けられたグローバルIO線に接続される。ローカルIO線およびグローバルIO線の
 数を配線面積を増加させることなく増加させることができる。また、ローカルIO線はダミービット線を介して
 プリチャージされるため、ローカルIO線プリチャージ用トランジスタを設ける必要がなく、さらに配線面積
 40 を低減することができる。

【0026】請求項3に係る半導体記憶装置においては、センスアンプ活性化信号により、ローカルIO線が
 グローバルIO線に接続される。ローカルIO線はメモリアレイブロックに対応して配置される。センスアンプ
 活性化信号は、活性化されたメモリアレイブロックに対してのみ転送される。これにより、ローカルIO線とグ
 ローバルIO線との接続を特別の制御回路を設けることなく実現することができる。請求項4に係る半導体記憶
 装置においては、第1のグループのブロックは、第1の
 50

16

グローバルIO線に接続されるブロックと、第2のグ
 ローバルIO線に接続されるメモリセルアレイを含む。第
 2のグループも同様に、第2のグローバルIO線に接続
 される。第1のグループおよび第2のグループからはそ
 れぞれ第1および第2のグローバルIO線に接続される
 ようにメモリアレイが選択される。メモリアレイはダ
 ブルエンド構造に配置されたセンスアンプを含む。第1の
 グループと第2のグループの境界に位置するブロック選
 択値において、このブロックの接続をアレイ活性化区分
 と異ならせることにより、複雑なスイッチ構造を設ける
 ことなくローカルIO線をグローバルIO線に接続する
 ことができる。これによりローカルIO線とグローバル
 IO線との接続のために必要とされる回路構造を簡略化
 することができる。

【0027】請求項5に係る半導体記憶装置において
 は、ローカルIO線は多分割構造とされ、グローバルIO
 線はワード線シャント領域に配置される。これにより
 配線面積を増加させることなくグローバルIO線および
 ローカルIO線の数を増加させることができる。請求項
 6に係る半導体記憶装置においては、レジスタからパイ
 プライン態様でデータが読出される。これにより高速で
 データの読出を行なうことができる。請求項7に係る同
 期型半導体記憶装置においては、ラップアドレスがクロ
 ック信号に同期して発生される。これによりクロックに
 同期して有効データをデータ出力端子に伝達することが
 できる。請求項8に係る同期型半導体記憶装置において
 は、必要期間のみラップアドレス発生手段が活性化され
 る。これによりラップアドレス発生手段における消費電
 流を低減する。

【0028】請求項9に係る同期型半導体記憶装置にお
 いては、レジスタが第1および第2のラッチを含む。第
 1のラッチに現アクセスサイクルにおいて読出されたデ
 ータをラッチし、第2のラッチに、1アクセスサイクル
 前に読出されたデータをラッチすることができる。連続
 してデータを読出すときに1アクセスサイクル前のデー
 タが破壊されることなく、確実に連続的にデータを読出
 すことができる。請求項10に係る同期型半導体記憶装
 置においては、列選択指示が与えられてからレイテンシ
 数-2のクロックサイクル時にデータの転送が行なわれ
 る。これにより出力データを出力手段にまで先読みする
 ことができ、高速でデータの読出を行なうことができ
 る。請求項11に係る同期型半導体記憶装置において
 は、必要期間のみ出力手段が活性化され、この出力手段
 における消費電流を低減するとともに、誤ったデータの
 出力が防止される。

【0029】請求項12に係る同期型半導体記憶装置に
 おいては、選択されたバンクにおいて所定クロック期間
 のみ出力手段へのデータ転送が実行される。これにより
 誤ったデータの読出が防止されるとともに、データ転送
 時の電力消費を低減することができる。請求項13に係

(10)

特開平6-318391

17

る同期型半導体記憶装置においては、所定ビット単位で選択メモリセルへのデータの書込が行なわれる。ラップ長の途中でデータの書込を禁止することができ、高速で必要なデータのみを書込むことができる。請求項14に係る同期型半導体記憶装置においては、書込レジスタにおいて第1のラッチが現アクセスサイクルのデータをラッチし、第2のラッチが1アクセスサイクル前のデータをラッチすることができる。連続データ書込動作時に誤ったデータの書込が防止される。

【0030】請求項15に係る同期型半導体記憶装置においては、互いに位相の異なる複数の駆動信号を用いて基準電圧を発生することができる。これにより安定に基準電圧を発生することができる。請求項16に係る同期型半導体記憶装置においては、データ入出力端子数に応じて基準電圧発生手段の駆動能力が調整されるため、不必要な電力消費をなくすることができる。請求項17に係る同期型半導体記憶装置においては、バンクそれぞれに基準電圧発生手段が設けられる。これにより半導体記憶装置の動作状態に応じて基準電圧発生手段を駆動することができ、この基準電圧発生に必要な電力消費を最適値に設定し、安定な基準電圧を発生することができる。

【0031】請求項18に係る同期型半導体記憶装置においては、列選択指示信号が与えられてからラップ長に等しい数のクロックサイクルが経過したときに内部データ線が所定電位にプリチャージされる。標準DRAMのように列選択指示信号が与えられたときに内部データ線をプリチャージし、次いで内部データ線へ書込データを伝達する必要がなくなる。これにより、高速でデータの書込を行なうことができる。請求項19に係る同期型半導体記憶装置においては、内部データ線は、クロック信号に同期して所定電位にプリチャージされる。したがって、ラップ長データの書込時にストップ動作が行なわれ、別の動作が開始した場合においても、内部データ線は所定電位にプリチャージされているため、特に次の動作のために新たに内部データ線をプリチャージする必要がなく、ラップストップ動作が行なわれる場合でも、高速でデータの入出力を行なうことができる。

【0032】請求項20に係る同期型半導体記憶装置においては、列選択開始指示信号が与えられてから、所定クロックサイクルごとに内部データ線の所定電位へのプリチャージが行なわれている。したがって、所定クロックサイクル数の間に内部データ線の所定電位へのプリチャージを行なってデータをメモリセルへ転送することができるため、高速動作サイクルにおいても余裕をもって内部データ線のプリチャージおよびデータ書込を行なうことができるとともに、この所定クロックサイクルごとにラップストップ動作が可能である。請求項21に係る同期型半導体記憶装置においては、各書込データごとに内部書込マスク信号は書込禁止を示す状態とされる。こ

18

の内部書込マスク信号は、外部から書込許可を示す外部書込マスク信号が与えられたときにメモリセルへの書込を許可する。したがって、外部書込マスク信号の活性／非活性を判別してから内部書込データにマスクをかける必要がなくなり、アクセス時間に影響を及ぼすことなく、確実に所望のデータのみをメモリセルへ書込むことができ、マスクがかけられたデータに対しては確実にマスクをかけることができる。

【0033】

【実施例】

【メモリセルアレイ配置】SDRAMにおいては高速でアクセスするために、システムクロック信号に同期して連続したたとえば8ビットの複数ビット（1つのデータ入出力端子について）に高速アクセスする仕様が提案されている。この連続アクセスの仕様を満たす標準的なタイミング図を図2に示す。図2においては、データ入出力端子DQ0ないしDQ7の8ビットのデータ（バイトデータ）の入力および出力が可能なSDRAMにおいて、連続して8ビットのデータ（8×8の合計64ビット）を書込または読出す動作を示す。図2に示すように、SDRAMにおいては、たとえばシステムクロックである外部からのクロック信号CLKの立上がりエッジで外部からの制御信号、ロウアドレスストローブ信号／RAS、コラムアドレスストローブ信号／CAS、出力イネーブル信号（出力許可信号）／OE、ライトイネーブル信号（書込許可信号）／WEおよびアドレス信号ADDが取込まれる。アドレス信号ADDは行アドレス信号Xと列アドレス信号Yとが時分割的に多重化されて与えられる。ロウアドレスストローブ信号／RASがクロック信号CLKの立上がりエッジにおいて活性状態の“L”にあればそのときのアドレス信号ADDが行アドレス信号Xとして取込まれる。

【0034】次いでコラムアドレスストローブ信号／CASがクロック信号CLKの立上がりエッジにおいて活性状態のLにあればそのときのアドレス信号ADDが列アドレス信号Yとして取込まれる。この取込まれた行アドレス信号Xaおよび列アドレス信号Ybに従ってSDRAM内において行および列の選択動作が実施される。行アドレスストローブ信号／RASが“L”に立下ってから所定のクロック期間（図2においては6クロックサイクル）が経過した後、出力イネーブル信号／OEが“L”にあれば最初の8ビットデータb0が出力される。以降、クロック信号CLKの立上がりエッジに回答してデータが出力される。書込動作時には、行アドレス信号Xcの取込みはデータ読出時と同様である。クロック信号CLKの立上がりエッジにおいてコラムアドレスストローブ信号／CASおよびライトイネーブル信号／WEがともに活性状態の“L”であれば、列アドレス信号Ydが取込まれるとともに、そのときに与えられていたデータd0が最初の書込データとして取込まれる。こ

(11)

特開平6-318391

19

20

の信号／RASおよび／CASの立下りに応答してSDRAM内部においては行および列選択動作が実行される。クロック信号CLKに同期して順次入力データd1、…、d7が取込まれ、連続するメモリセルへこの入力データが書込まれる。

【0035】上述のように、従来のDRAMにおけるロウアドレスストロブ信号／RASおよびコラムアドレスストロブ信号／CASという外部制御信号に同期してアドレス信号および入力データなどを取込んで動作させる方式と異なり、SDRAMにおいては、外部から与えられるたとえばシステムクロックであるクロック信号CLKの立上がりエッジでアドレスストロブ信号／RAS、／CAS、アドレス信号および入力データなどの外部信号を取込む。このように、外部からのクロック信号に同期させて外部からの信号およびデータを取込む同期動作を実行することの利点は、アドレス信号のスキュー（タイミングのずれ）によるデータ入出力時間に対するマージンを確保する必要がなく、このためサイクルタイムを短縮することができることなどである。また、このSDRAMが用いられるシステムによっては、連続したアドレスの数ビットのメモリセルにアクセスする頻度が高い場合がある。このようにクロック信号に同期して連続データの書込および読出を実行することができるようにすれば、連続アクセスタイムを高速化（短く）することができ、このSDRAMの平均アクセスタイムをSRAMに匹敵させることが可能となる。

【0036】SDRAMにおいて64ビット（8×8）のメモリセルを同時に選択状態にしておくのが最も単純にこの8ビットデータの8回連続書込／読出を実現するための方法として考えることができる。今、図3に示すようなアレイの配置を有するSDRAMを考える。図3は、標準的な16MビットDRAMのチップ構成を示す図である。図3において、DRAMは、各々が4Mビットの記憶容量を有する4つのメモリマツトMM1、MM2、MM3、およびMM4を含む。メモリマツトMM1～MM4の各々は、それぞれ256Kビットの記憶容量を有する16個のメモリアレイMA1～MA16を含む。メモリマツトMM1ないしMM4のチップ長辺方向（図3の垂直方向）の一方側に沿ってロウデコーダRD1、RD2、RD3およびRD4が配置される。チップ短辺方向において隣接する2つのメモリマツトに対するロウデコーダの間に、読出データの増幅を行なうブリアンプ回路PAおよび書込データを増幅して選択メモリセルへ伝達するための書込バッファWBが配置される。このブリアンプ回路PAおよび書込バッファWBのブロックは、それぞれ4つのメモリアレイブロックすなわち1Mビットのアレイに対して1つのブロックが設けられる。

【0037】メモリマツトMM1ないしMM4のそれぞれのチップ中央部側においてチップ短辺方向に沿ってコ

ラムデコーダCD1、CD2、CD3、およびCD4が配置される。チップ中央部（コラムデコーダの間の領域）にアドレスバッファおよび制御信号発生回路などを含む周辺回路PHが配置される。図3に示す16MDRAMの構成は、2Mワード×8ビットの構成を与える。動作時には、4個のメモリアレイが選択される。図3においては、メモリマツトMM3のメモリアレイMA1およびMA5と、メモリマツトMM4のメモリアレイMA1およびMA5が選択された状態が示される。各メモリアレイから4ビットのメモリセルが選択される。したがってこの図3に示す構成の場合、同時に16ビットのメモリセルにアクセスが可能である。最終的には、アドレス信号ビットによりこの16ビットから8ビットが選択される。

【0038】メモリマツトMM1ないしMM4の各々においては、1Mビット（4個のメモリアレイ）単位でまず選択が行なわれ、次いで選択された1Mビットのアレイブロックにおいて最大1個のメモリアレイが選択される。図3に示すように1回のRASサイクル（信号／RASが規定する1サイクル）において4個の256Kビットアレイが活性化される。このような部分活性化は消費電力を低減する活性化されたメモリアレイを除くメモリアレイはプリチャージ状態に維持される。図4は、この図3に示すDRAMの4つのメモリアレイ部の構成を概略的に示す図である。4つの256KビットメモリアレイMA#1～MA#4のうち、動作時には最大1個のメモリアレイのみの活性化（ワード線選択、ビット線の充放電等）が行なわれる。

【0039】図4において、1つのメモリアレイに対してメモリアレイの長辺方向（チップ短辺方向）に沿って、メモリアレイから選択されたデータを伝達するためのローカルIO線対LIO1、LIO2、LIO3、およびLIO4が配置される。メモリアレイの間に配置されるローカルIO線対は隣接メモリアレイに共有される。たとえばローカルIO線対LIO3およびLIO4は、図4においてメモリアレイMA#1とメモリアレイMA#2とで共有される。メモリアレイの各ビット線対BLPとローカルIO線対LIO（以下、ローカルIO線対を総称的に示す場合には単にLIOとのみ称す）とをコラムデコーダの出力に応じて接続するためにIOSイッチGS1、GS2、GS3、およびGS4が設けられる。IOSイッチGS1～GS4は、コラムデコーダCD（コラムデコーダを総称的に示す場合符号CDを用いる）の出力信号（列選択信号）は1本の列選択線CSL上に伝達される。列選択線CSLは2本の信号線CSLaおよびCSLbに分割される。この分割列選択線CSLaおよびCSLbはそれぞれ2つのビット線対BLPを選択する。すなわち1本の列選択線CSLにより4つのビット線対BLPが選択されてローカルIO線対LIOに接続される。

(12)

特開平6-318391

21

【0040】メモリアレイMAは、後にその構成を詳細に説明するが、センスアンプがビット線対BLPの両側に交互に配置される交互配置型センスアンプ構成を有しかつこのセンスアンプは隣接メモリアレイで共有される。すなわち、各メモリアレイは、交互配置型のシェアドセンスアンプ構成を備える。上述のようにシェアドセンスアンプ構成としかつローカルIO線対を共有する構成とすることにより、信号配線面積の低減およびセンスアンプに要する面積の低減を図る。さらに交互配置のセンスアンプ構成とすることにより、ビット線ピッチが小さくなくても十分なセンスアンプのピッチを確保している。列選択線はこのメモリアレイを図の垂直方向に沿って延びる。4つのメモリアレイMA#1~MA#4に対して共通に、グローバルIO線対GIO1~GIO4が配置される。グローバルIO線対GIO1~GIO4とローカルIO線対LIO1~LIO4との交点に、ブロック選択信号に応答してローカルIO線対LIO1~LIO4とグローバルIO線対GIO1~GIO4を接続するブロック選択スイッチBS1、BS2、BS3、およびBS4が配置される。これにより、選択されて活性状態とされたメモリアレイのみがグローバルIO線対GIO（グローバルIO線対を総称的に示す場合は符号GIOを示す）とデータの授受を行なうことができる。

【0041】グローバルIO線対GIO1~GIO4は、それぞれ対応する入出力回路PWに設けられたプリアンプPAおよびライトバッファWBを介してそれぞれリードデータバスRDBおよびライトデータバスWDBに接続される。このデータ入出力回路PWに含まれるプリアンプPAおよびライトバッファWBはそれぞれブロック選択信号と読出指示信号および書込許可信号に30 応答して活性化される。上述の構成により、1Mビットの4つのメモリアレイから4ビットのメモリセルのデータを読出し、かつ4ビットのメモリセルへデータを書込むことができる。したがって、16MDRAMの構成においては、同時に16ビットのメモリセルへアクセスすることができる。リードデータバスRDBおよびライトデータバスWDBは入出力回路PWを貫通しており、周辺回路PHを介してデータ入出力端子へ接続される。8ビット単位でのデータ入出力が必要な場合には周辺回路PHにおいて16ビットのデータから8ビットのデータの選択が実行される。8ビット単位でのデータ入出力を行なう場合にはまたこれに代えて、1つのメモリマットのみが活性化される構成が利用されてもよい。

【0042】前述のように、2Mワード×8ビット構成のDRAMを利用して連続8ビット（1つのデータ入出力端子について）アクセス可能なSDRAMを実現する場合、図3に示す16MDRAMにおいてアクセスされるメモリセルの4倍のメモリセルへアクセスすることが必要となる。活性化することのできる256Kビットの

22

メモリアレイの数は、消費電力の観点から容易に増加させることはできない。メモリアレイを活性化すればセンスアンプが動作してビット線の充放電が行なわれるため、このセンスアンプによるビット線の充放電およびブリチャージサイクルへ戻るためのビット線ブリチャージのための充放電等に電流が消費されるためである。同時に活性化できるメモリアレイの数を増加させずに、同時にアクセスするメモリセルの数を増加させるためには、1つのメモリアレイにおいて同時に選択されるメモリセルの数を増加させる必要がある。すなわちローカルIO線対LIO、グローバルIO線対GIO、プリアンプPA、およびライトバッファWBの数を4倍に増加することが必要となる。この状態を図5に示す。

【0043】図5において、ローカルIO線対LIOが1つのメモリアレイに対して16対設けられ、かつグローバルIO線対GIOも16対設けられる。列選択線CSLは1つのメモリアレイにおいて16対のビット線対BLPを同時に選択してローカルIO線対LIOへ接続する。図5においても列選択線CSLから分割された分割列選択線は同時に2対のビット線対を選択してローカルIO線対LIOへ接続する。同様に、ローカルIO線対LIOはブロック選択スイッチBSを介してグローバルIO線対GIOへ接続される。図5の構成から明らかに、ローカルIO線対LIO、およびグローバルIO線対GIOの数を増加させると配線面積が大幅に増加し、チップ面積が著しく増大する。したがって、この図3に示すような構成の16MビットDRAMを8ビット連続アクセス可能なSDRAMを実現するために用いることは得策ではない。

【0044】【実施例1】図6は、この発明の好ましい実施例であるSDRAMのチップレイアウトを示す図である。図6においては、一例として、2Mワード×8ビット構成の16MSDRAMが示される。SDRAMは、各々が4Mビットの記憶容量を有する4つのメモリマットMM1ないしMM4を含む。メモリマットMM1ないしMM4の各々は、それぞれ256Kビットの記憶容量を有する16個のメモリアレイMA1~MA16を含む。メモリマットMM1ないしMM4の一方側にチップ長辺方向に沿ってロウデコーダRD1ないしRD4がそれぞれ配置される。また、メモリマットMM1ないしMM4のチップ中央側に短辺方向に沿ってコラムデコーダCD1ないしCD4がそれぞれ配置される。コラムデコーダCD（コラムデコーダCD1ないしCD4を総称的に称する場合、符号CDを用いる）からは、対応のメモリマットMM（メモリマットMM1~MM4を総称的に示す）の各アレイを横切って延びる列選択線CSLが配置される。1本の列選択線CSLは、後に詳細に説明するように、8対のビット線を同時に選択状態とする。

【0045】内部データを伝達するためのグローバルIO線対GIOがまたメモリマットMMの長辺方向に沿って

(13)

23

て各アレイを横切るように配置される。メモリマットMM1ないしMM4各々に対して、チップ中央側に、選択されたメモリセルのデータの増幅を行なうためのプリアンプPAと選択されたメモリセルへの書込データを伝達するためのライトバッファWBとからなる入出力回路PW1ないしPW4が配置される。チップ中央部には、アドレス信号を発生するための回路、および制御信号を発生するための回路などを含む周辺回路PHが配置される。この図6に示すSDRAMは互いに独立にプリチャージ動作および活性化動作を行なうことのできる2つのバンク#1および#2を備える。バンク#1は、メモリマットMM1およびMM2を含み、バンク#2はメモリマットMM3およびMM4を含む。このバンクの数は変更可能である。

【0046】メモリマットMM1ないしMM4各々は2つのアレイブロック（各記憶容量2Mビット）を備える。1つのアレイブロックはメモリアレイMA1ないしMA8から構成され、他方のアレイブロックはメモリアレイMA9ないしMA16から構成される。1つのアレイブロックにおいて最大1つのメモリアレイが選択される。同時に活性化されるメモリアレイの数は4個であり、図6においては、メモリマットMM3のメモリアレイMA1およびMA9と、メモリマットMM4のメモリアレイMA1とMA9が活性化された状態が示される。すなわち、選択されたバンクにおいて、各メモリマットのアレイブロックから1つのメモリアレイが選択される。同時に選択される列選択線CSLの数は8本である。1本の列選択線CSLは8対のビット線を選択する。したがって、同時に $8 \times 8 = 64$ ビットのメモリセルが選択される。

【0047】入出力回路PWは、対応のメモリマットMMの各メモリアレイに対し共通に利用される。1つの入出力回路PWに含まれるプリアンプPAおよびライトバッファWBの数はそれぞれ32個であり、SDRAM全体ではそれぞれ128個である。図3の構成を拡張した図5に示す構成の場合のプリアンプPAおよびライトバッファWB各々の数の256個に比べると半減される。これによりチップ占有面積は大幅に低減される。入出力回路PWに含まれるプリアンプPAおよびライトバッファWBはチップ中央部に集中的に配置される。これらは、周辺回路PHに含まれる制御回路により駆動される。このため、プリアンプPAおよびライトバッファWBの動作を制御するための信号線も短くなり、したがって信号線の負荷が小さくなり、高速動作を実現することができる。

【0048】また周辺回路PHをチップ中央部に集中的に配置することにより、データの入出力はこのチップ中央部を介して行なわれることになり、パッケージ実装時におけるピン配置としては、データ入出力端子がパッケージ中央部に配置されることになる。周辺回路PHとデ

特開平6-318391

24

ータ入出力端子との距離が短くなり、高速でデータの入出力を行なうことができる。この図6に示すSDRAMは、先に図3において示した16MDRAMと同様交互配置型シェアドセンスアンプ構成を備える。すなわち、選択されたメモリアレイのみが活性化されて非選択メモリアレイはプリチャージ状態に維持される。同時に活性化されるメモリアレイの数は4であり、図3に示すDRAMの構成に比べて消費電流は増加しない。

【0049】図7は、図6に示すSDRAMのIO線配置を具体的に示す図である。図7においては、2つの2MビットメモリアレイMSA1およびMSA2が示される。2MビットメモリアレイMSA1は、チップ中央部から遠い位置に配置される2Mビットアレイブロックであり、2MビットメモリアレイMSA2は、チップ中央部に近い2Mビットアレイブロックを示す。2MビットメモリアレイMSA1およびMSA2は、ともに、8行8列に配置された64個の32KビットメモリアレイMKを含む。2MビットメモリアレイMSA（メモリアレイMSA1およびMSA2を総称的に示す）はワード線WLの延びる方向に沿って4つのアレイグループAG1、AG2、AG3およびAG4に分割される。ワード線WLの方向に沿って隣接する32KビットメモリアレイMKの間にはワード線シャント領域WSが設けられる。通常、DRAMにおいてはワード線の抵抗を下げるために、ポリシリコンで構成されるワード線WLと平行に、アルミニウムなどの低抵抗の金属配線を配置し、このポリシリコンワード線と低抵抗金属配線とを所定の間隔で電氣的に接続する。このワード線シャント領域について以下に説明する。

【0050】図8は、メモリセルを構成するトランジスタの断面構造を概略的に示す図である。メモリセルに含まれるアクセストランジスタは、半導体基板SUBの表面に形成される不純物領域IPRと、この不純物領域IPR上にゲート絶縁膜を介して形成されるポリシリコンからなるゲート電極PLを備える。一方の不純物領域IPRは、たとえば第1層アルミニウム配線からなるビット線BLに接続される。このビット線BLの上層に、ワード線コンタクト用のアルミニウムなどからなる低抵抗導電層ALが配置される。図9に示すように、この低抵抗導電層ALとポリシリコンゲート電極（ワード線）PLとが所定の間隔をおいてコンタクトCNTにより電氣的に接続される。この電氣的接続CNTが設けられる領域をワード線シャント領域WSと称す。ワード線駆動信号DWLは低抵抗導電層ALへ伝達される。それにより1本のワード線においてその終端にまで高速でワード線駆動信号DWLが伝達され、ワード線電位の立上げを高速で行なうことができる。

【0051】このような電氣的接続CNTのためには、図8に示すように、ビット線BLの下層に存在するポリシリコンゲート電極（ワード線）PLと、ビット線BL

(14)

特開平6-318391

25

の上層に存在する低抵抗導電層ALとを接続する必要がある。このため、電氣的接続CNTはビット線BLが存在しない領域、すなわちメモリセルが存在しない領域において設ける必要がある。このメモリセルが存在しない領域は、図7においてワード線WLの方向に沿って隣接するメモリアレイMKの間の領域である。このワード線シャント領域WSにおいてポリシリコンゲート電極（ワード線）PLと低抵抗導電層ALとの電氣的接続がとられる。再び第7図を参照して、グローバルIO線対GIOはこのワード線シャント領域WSに配置される。1つのワード線シャント領域WSにおいて、チップ中央部に近い2Mビットメモリアレイ領域MSA2においては4つのグローバルIO線対が配置される。この4対のグローバルIO線のうち2つのグローバルIO線はさらにチップ中央部より遠い2Mビットメモリアレイ領域MSA1において延びる。すなわち、チップ中央部よりも遠い2Mビットメモリアレイ領域MSA2におけるワード線シャント領域WSにおいては、2つのグローバルIO線対GIOが配設される。2つのグローバルIO線対が2MビットメモリアレイMSにより利用される。

【0052】選択されたメモリアレイとデータの授受を行なうためのローカルIO線対LIOは、各アレイグループAG1、AG2、AG3、およびAG4に対応して設けられる。1つの32KビットメモリアレイMKに対しては、一方側に配設される2つのローカルIO線対LIOと他方側に配置される2つのローカルIO線対LIOと合計4対のローカルIO線対が配置される。ローカルIO線対LIOは、ワード線WLの方向に沿って隣接する同一のアレイグループ内の32KビットメモリアレイMKにより共有されるときともに、ビット線BLの方向に沿って隣接する32KビットメモリアレイMKによっても共有される。メモリアレイMKは、後に詳細にその構成を説明するように、交互配置型シェアードセンスアンプ構成を備える。ビット線BLの方向において隣接する2つの32KビットメモリアレイMKの間の領域にセンスアンプが配置される。グローバルIO線対GIOとローカルIO線対LIOとを接続するためにブロック選択スイッチBSが配置される。ブロック選択スイッチBSはワード線シャント領域WSとセンスアンプ列との交点に配置される。

【0053】コラムデコードからの列選択信号を伝達する列選択線CSLは、アレイグループAG1～AG4各々において1本が選択状態とされる。1本の列選択線CSLはチップ中央部から遠い領域MSA1において4対のビット線BLPを選択して対応のローカルIO線対LIOへ接続し、かつチップ中央部に近い2Mビットメモリアレイ領域MSA2において4対のビット線BLPを選択して対応のローカルIO線対LIOへ接続する。すなわち、1本の列選択線CSLにより8つのビット線対BLPが選択状態とされ、ローカルIO線対LIOを介

26

して8個のグローバルIO線対GIOに接続される。2つのメモリマットが選択され、1つのメモリマットMMにおいて $8 \times 4 = 32$ 個のビット線対BLPが選択されるため、合計64個のビット線対BLPが選択されることになり、全体で合計64ビットのメモリセルに同時にアクセスすることが可能である。

【0054】図10は、1つの32Kビットメモリアレイに関連する部分の構成を示す図である。図10において、32KビットメモリアレイMK2は、ロウデコーダからの行選択信号が伝達されるワード線WLと、このワード線WLと交差する方向に配置されるビット線対BLPと、ワード線WLとビット線対BLPとの交差部に対応して配置されるダイナミック型メモリセルMSを含む。メモリセルMSは、アクセス用のトランジスタと、情報記憶用のキャパシタとを含む。ビット線対BLPは、互いに相補な信号が伝達されるビット線BLおよびBLを含む。図10においては、ビット線BLとワード線WLとの交差部に対応してメモリセルMSが配置されている場合が示される。メモリアレイMK2の両側に、アレイ選択ゲートSAG1およびSAG2が配置される。アレイ選択ゲートSAG1とアレイ選択ゲートSAG2とはビット線対BLPに対して交互に配置される。アレイ選択ゲートSAG1は、アレイ選択信号φA1に応答して導通状態となり、アレイ選択ゲートSAG2は、アレイ選択信号φA2に応答して導通状態となる。

【0055】ビット線対BLPはそれぞれアレイ選択ゲートSAG1およびアレイ選択ゲートSAG2を介してセンスアンプSA1およびセンスアンプSA2に接続される。すなわち、センスアンプSA1は、メモリアレイMK2の一方側にワード線WLと平行に配置され、センスアンプSA2は、メモリアレイMK2の他方側にワード線WLと平行に配置される。センスアンプSA1およびSA2は、メモリアレイMK2のビット線対BLPに対して交互に両側に配置される。センスアンプSA1は、メモリアレイMK1とメモリアレイMK2とで共有される。センスアンプSA2は、メモリアレイMK2とメモリアレイMK3とで共有される。センスアンプSA1の列と平行に、ローカルIO線対LIO1およびLIO2が配置される。また、センスアンプSA2の列と平行に、ローカルIO線対LIO3およびLIO4が配置される。図10においては、2つのローカルIO線対がセンスアンプSAの一方側に設けられている配置が示される。ローカルIO線対は、センスアンプSAの両側に配置されてもよい。

【0056】センスアンプSA1に対し、このセンスアンプSA1により検知増幅されたデータをローカルIO線対LIO1、LIO2へ伝達するための列選択ゲートCSG1が設けられる。同様にセンスアンプSA2に対しては、センスアンプSA2により検知増幅されたデー

(15)

特開平6-318391

27

タをローカルIO線対LIO3、LIO4へ伝達するための列選択ゲートCSG2が設けられる。コラムデコーダからの列選択線CSLは2つの列選択ゲートCSG1と2つの列選択ゲートCSG2を同時に導通状態とする。これにより4つのビット線対BLPがローカルIO線対LIO1、LIO2、LIO3およびLIO4へ同時に接続される。センスアンプSA1で検知増幅されたデータはローカルIO線対LIO1およびLIO2へ伝達される。センスアンプSA2により検知増幅されたデータはローカルIO線対LIO3およびLIO4へ伝達される。

【0057】ローカルIO線対LIOをグローバルIO線対GIOへ接続するために、ブロック選択信号φBに応答して導通するブロック選択スイッチBSが設けられる。図10においては、ローカルIO線対LIO1をグローバルIO線対GIO1へ接続するためのブロック選択スイッチBS1と、ローカルIO線対LIO2をグローバルIO線対GIO2へ接続するブロック選択スイッチBS2とが示される。ローカルIO線対LIO3およびLIO4は、図7に示すように、隣接の2つのグローバルIO線対GIOへそれぞれブロック選択スイッチを介して接続される（ただし図10には示さず）。次に動作について簡単に説明する。選択されたワード線WLがメモリアレイMK2に含まれる場合、アレイ選択信号φA1およびφA2が活性状態となり、メモリアレイMK2に含まれるビット線対BLPがセンスアンプSA1およびSA2へ接続される。メモリアレイMK1およびMK3に対して設けられたアレイ選択ゲートSAG0およびSAG3は非導通状態となり、メモリアレイMK1、MK3はプリチャージ状態を維持する。

【0058】各ビット線対BLPにおいてメモリセルデータが現われた後、センスアンプSA1およびSA2が活性化され、このメモリセルデータを検知し増幅する。次いで列選択線CSL上の信号が活性状態の“H”に立上がると、列選択ゲートCSG1およびCSG2が導通し、センスアンプSA1およびSA2で検知増幅されたデータがローカルIO線対LIO1ないしLIO4へ伝達される。続いてまたは同時にブロック選択信号φBが活性状態の“H”となり、ローカルIO線対LIO1ないしLIO4がグローバルIO線対GIO1ないしGIO4へ接続される。データ読出時においてはこのグローバルIO線対のデータがブリアンプPAを介して増幅されて出力される。データ書込時においてはライトバッファWBにより与えられた書込データがグローバルIO線対GIO、ローカルIO線対LIOを介して各ビット線対BLPへ伝達され、メモリセルへのデータの書込が実行される。

【0059】ブロック選択信号φBは、この選択ワード線WLが属するメモリアレイMK2に対してのみ活性状態となる。アレイ選択信号φA1およびφA2も同様で

28

ある。このブロック選択信号φB、アレイ選択信号φA1、およびφA2は、行アドレス信号の所定数のビット（たとえば上位4ビット）を用いて生成することができる。上述のように、ワード線シャント領域WSにグローバルIO線対GIOを配設し、センスアンプを交互配置型シェアードセンスアンプ構成で配置することにより、たとえ64ビットのメモリセルを同時に選択する構成であっても、信号線の配線領域が増加することはない。また同時に活性化される256Kメモリアレイの数は標準の16MDRAMと同じ4個であるため消費電流が増大することもない。

【0060】[実施例2] 図11は、4MビットメモリマツにおけるメモリアレイMSA1とメモリアレイMSA2との境界領域のアレイ部の構成を拡大して示す図である。図11においては、256KビットメモリアレイMA8およびMA9における32KビットメモリアレイMKを示す。図11において、256KビットメモリアレイMA8は、32KビットメモリアレイMK81およびMK82と、メモリアレイMK81およびMK82に対して一方側に設けられるセンスアンプ群SA81およびSA82を含む。256KビットメモリアレイMA9は、32KビットメモリアレイMK91およびMK92と、メモリアレイMK91およびMK92それぞれに対応して設けられるセンスアンプ群SA91およびSA92を含む。メモリアレイMK81とメモリアレイMK91との間にセンスアンプ群SA85が設けられ、メモリアレイMK82とメモリアレイMK92との間にセンスアンプ群SA86が設けられる。

【0061】メモリアレイMK81およびMK82に対しては、グローバルIO線対UGIO1、UGIO2、UGIO3およびUGIO4が設けられ、メモリアレイMK91およびMK92に対しては、グローバルIO線対LGIO1、LGIO2、LGIO3およびLGIO4が設けられる。また、メモリアレイMK81およびMK92に対してはローカルIO線対LIO81、LIO82が一方側に設けられ、他方側にローカルIO線対LIO83およびLIO84が設けられる。メモリアレイMK91およびMK92の他方側にはローカルIO線対LIO85およびLIO86が設けられる。ローカルIO線対LIO83およびLIO84は、メモリアレイMK81、MK82、MK91およびMK92により共通に利用される。

【0062】グローバルIO線対UGIO1～UGIO4は、メモリアレイMSA1に含まれるメモリセルのデータを伝達する。グローバルIO線対LGIO1～LGIO4はメモリアレイMSA2のメモリセルのデータを伝達する。このアレイ分割構造においては、メモリアレイMSA1から1つの256Kビットメモリアレイが選択され、かつメモリアレイMSA2から1つの256Kビットメモリアレイが選択される。このとき、各メモリ

(16)

特開平6-318391

29

アレイMSA1およびMSA2において同一の位置に配置される256KビットメモリアレイMA(MA1~MA16を総称的に示す)が同時に活性化される。メモリアレイMA8が活性化状態とされたとき、メモリアレイMA9はプリチャージ状態に維持され、メモリアレイMA16が活性状態とされる。

【0063】今、メモリアレイMK81の列が選択された状態を考える。このとき、メモリアレイMK81は、センスアンプ群SA81およびSA85に接続される。メモリアレイMK91およびMK92はプリチャージ状態を維持する。メモリアレイMK82はセンスアンプ群SA82およびSA86に接続される。メモリアレイMK81における列が選択されると、センスアンプ群SA81およびSA85を介して、メモリアレイMK81はローカルIO線対LIO81、LIO82、LIO83およびLIO84に接続される。メモリアレイMK81は、メモリアレイMSA1に含まれる32Kビットメモリアレイである。この場合、図において○印で示すように、ブロック選択スイッチBSaを介して、ローカルIO線対LIO81、LIO82、LIO83およびLIO84はグローバルIO線対UGIO1~UGIO4に接続される。

【0064】一方、メモリアレイMK91が選択された場合には、このメモリアレイMK91はグローバルIO線対LGIO1~LGIO4に接続される。すなわち、図11において×印のブロック選択スイッチBSbで示すように、ローカルIO線対LIO83、LIO84、LIO85およびLIO86はグローバルIO線対LGIO1~LGIO4に接続される。すなわち、ローカルIO線対LIO83およびLIO84は、メモリアレイMK81およびMK82が選択される場合には、グローバルIO線対UGIO1およびUGIO2に接続される。ローカルIO線対LIO83およびLIO84は、メモリアレイMK91およびMK92が選択された場合には(活性化された場合には)、グローバルIO線対LGIO1およびLGIO2に接続される。このため、このメモリアレイMSA1とメモリアレイMSA2の境界領域に配設されるローカルLIO線対LIO83およびLIO84に対しては、ブロック選択スイッチを2つ設ける必要がある。メモリアレイMA8が選択された場合にはブロック選択スイッチBSaが導通し、メモリアレイMA9が選択された場合にはブロック選択スイッチBSbが導通状態とされる。この構成により、アレイ活性化区分(メモリアレイMSA1に対応し、動作時における単位領域を示す)とグローバルIO線対とを1対1に対応させることができる。

【0065】[実施例3] 図12は、図11に示すローカルIO線とグローバルIO線とその他の接続形態を示す図である。図12において、図11に示すものと対応する部分には同一の参照番号を付す。図11において、メモリアレイMA8に含まれる32KビットメモリアレイMK81、MK82に対しては、図11の場合と同様にローカルIO線対LIO81、LIO82、LIO83およびLIO84が設けられる。メモリアレイMK91およびMK92に対しては、ローカルIO線対LIO83、LIO84、LIO91およびLIO92が設けられる。メモリアレイMK161およびMK162は、メモリアレイMA16に含まれ、ローカルIO線対LIO161、LIO162、LIO163およびLIO164を備える。

【0066】ローカルIO線対LIO81およびLIO82はそれぞれブロック選択スイッチBS81およびBS82を介してグローバルIO線対UGIO3およびUGIO4へそれぞれ接続される。ローカルIO線対LIO83およびLIO84は、ブロック選択スイッチBS83およびBS84を介してグローバルIO線対LGIO1およびLGIO2にそれぞれ接続される。ローカルIO線対LIO91およびLIO92はブロック選択スイッチBS91およびBS92を介してグローバルIO線対LGIO3およびLGIO4に接続される。ローカルIO線対LIO161およびLIO162は、ブロック選択スイッチBS161およびBS162を介してグローバルIO線対LGIO3およびLGIO4に接続される。ローカルIO線対LIO163およびLIO164はそれぞれブロック選択スイッチBS163およびBS164を介してそれぞれグローバルIO線対UGIO1およびUGIO2に接続される。

【0067】動作時においては、メモリアレイMA8が選択された場合には、メモリアレイMA16が選択される。メモリアレイMA8とメモリアレイMA9が同時に選択状態とされることはない。メモリアレイMK81が選択されたとき、同様メモリアレイMK161が選択される。メモリアレイMK81は、ローカルIO線対LIO81およびLIO82およびブロック選択スイッチBS81およびBS82を介してグローバルIO線対UGIO3およびUGIO4に接続され、かつローカルIO線対LIO83およびLIO84とブロック選択スイッチBS83およびBS84を介してグローバルIO線対LGIO1およびLGIO2に接続される。メモリアレイMK81からデータを読み出す動作時においては、このメモリアレイMK81の選択された4ビットのメモリセルのデータはグローバルIO線対LGIO1、LGIO2、UGIO3およびUGIO4に伝達される。

【0068】メモリアレイMK161においては、ローカルIO線対LIO161およびLIO162がブロック選択スイッチBS161およびBS162を介してグローバルIO線対LGIO3およびLGIO4に接続されかつローカルIO線対LIO163およびLIO164がブロック選択スイッチBS163およびBS164を介してグローバルIO線対UGIO1およびUGIO2に接続される。

【0069】メモリアレイMA8が選択された場合には、メモリアレイMA16が選択される。メモリアレイMA8とメモリアレイMA9が同時に選択状態とされることはない。メモリアレイMK81が選択されたとき、同様メモリアレイMK161が選択される。メモリアレイMK81は、ローカルIO線対LIO81およびLIO82およびブロック選択スイッチBS81およびBS82を介してグローバルIO線対UGIO3およびUGIO4に接続され、かつローカルIO線対LIO83およびLIO84とブロック選択スイッチBS83およびBS84を介してグローバルIO線対LGIO1およびLGIO2に接続される。メモリアレイMK81からデータを読み出す動作時においては、このメモリアレイMK81の選択された4ビットのメモリセルのデータはグローバルIO線対LGIO1、LGIO2、UGIO3およびUGIO4に伝達される。

(17)

特開平6-318391

31

02に接続される。すなわち、データ読出動作時には、メモリアレイMK161の選択された4ビットのメモリアルセルのデータがグローバルIO線対UGIO1、UGIO2、LGIO3およびLGIO4に伝達される。この図12に示す接続構成の場合、アレイ活性化区分とグローバルIO線対との対応関係がメモリアレイMA8およびMA16に対しては成立しない。両メモリアレイMA8およびMA16においては、それぞれ異なるグループに属するグローバルIO線対にデータが伝達される。活性化区分の観点からすれば、メモリアレイMA8とメモリアレイMA16はその半分（交互にセンスアンプが配置されている場合）のデータが交換されたことになる。外部からはどのメモリアルセルにアクセスするかは何ら実態的な意味を持たない。アドレス指定されたメモリアルセルにデータが書込まれかつそこからデータが読出されればよいからである。

【0069】この図12に示す接続構成の場合、ローカルIO線対に対してはすべて1つのブロック選択スイッチが設けられるだけである。したがって、メモリマツト中央部のメモリアレイ（または活性化区分）の境界領域における素子数を低減することができ、配線面積を低減することができる。残りのメモリアレイMA1~MA7については、それぞれ選択時にはグローバルIO線対UGIO1~UGIO4に接続される。メモリアレイMA9~MA15については選択時にはグローバルIO線対LGIO1~LGIO4に接続される。

【実施例4】図13は、一般的なDRAMアレイのビット線の配置を示す図である。図13においては、ビット線対BL1、/BL1~BLn、/BLnが示される。ビット線対BL1、/BL1~BLn、/BLnの各々においては、メモリアルセルが接続されており、動作時には対応のメモリアルセルのデータが伝達され、センスアンプにより検知増幅される。隣接ビット線間には寄生容量が存在する。同じビット線対における寄生容量C2と、隣接ビット線対のビット線との寄生容量C1である。動作時には、ビット線上に読出される情報信号、すなわち読出電圧は、ビット線の容量Cb1とメモリアルセルの容量Csとの比Cs/Cb1により決定される。センスアンプは、動作時にはこのビット線上に現われた読出電圧と基準電圧（プリチャージ電圧）との電位差を増幅する。正確なセンス動作のためには、各ビット線の容量は同一であるのが好ましい。ビット線容量が異なれば、読出電圧が異なり、正確なセンス動作ができなくなるためである。

【0070】メモリアレイにおいて、端部に配置されるビット線BL1および/BLnに隣接してさらにダミービット線DBL0およびDBL1がそれぞれ設けられる。このダミービット線DBL0およびDBL1を設けることにより、メモリアレイの端部に配置されたビット線BL1および/BLnの寄生容量を残りのビット線と

32

同一とし、センス動作時における読出電圧レベルを一定とする。すなわち、ダミービット線DBL0が設けられていない場合、ビット線BL1に対する寄生容量は隣接ビット線/BL1により生じる寄生容量C2のみとなる。一方、ビット線/BL1の寄生容量は容量C2および隣接ビット線BL2による寄生容量C1との和となる。したがって、ビット線BL1とビット線/BL1の容量が異なり、動作時にはビット線BL1上に現われる読出電圧とビット線/BL1に現われる読出電圧のレベルが異なり、正確なセンス動作を行なうことができなくなる。この状態を防止するためにダミービット線DBL0およびDBL1がそれぞれ設けられる。

【0071】図14は、第4の実施例である半導体記憶装置のアレイ配置の構成を示す図である。図14においては、32KビットメモリアレイMKa、MKb、NKcおよびMKdに関連するワード線シャント領域の近傍の構成を示す。メモリアレイMKaはビット線対BLa、/BLaと、ダミービット線DBLaを含むように示される。メモリアレイMKbは、ビット線対/BLbおよびBLbと、ダミービット線DBLbを含むように示される。ビット線対BLa、/BLaに対しては、アレイ選択信号φAaに応答して導通し、対応のセンスアンプSAaへビット線対BLa、/BLaを接続するためのアレイ選択ゲートSAGaが設けられる。アレイ選択ゲートSAGaとセンスアンプSAaとの間には、列選択線CSLa上の信号に応答して導通し、センスアンプSAaのラッチノード（ビット線BLa、/BLaに対応）をローカルIO線LIOaおよび/LIOaに接続する列選択ゲートCSGaが設けられる。センスアンプSAaの他方側には、イコライズ信号φEQに응答して、センスアンプSAaのラッチノードを所定の電位Vb1（通常、電源電圧Vccの1/2）にプリチャージするプリチャージゲートEQaが設けられる。

【0072】メモリアレイMKcに対しては、アレイ選択信号φAbに응答して導通し、対応のビット線をセンスアンプSAaのラッチノードに接続するアレイ選択ゲートSAGcが設けられる。ダミービット線DBLaに対しては、アレイ選択信号φAaに응答して導通するアレイ選択ゲートDAGaおよびアレイ選択信号φAbに응答して導通するアレイ選択ゲートDAGcが設けられる。ダミービット線DBLaに対してはさらに、イコライズ/プリチャージ信号φEQに응答してダミービット線DBLaを所定の電位Vb1にプリチャージするプリチャージゲートDEQcと、このイコライズ/プリチャージ信号φEQに응答して導通し、ダミービット線DBLaをローカルIO線LIOaへ接続するプリチャージゲートDEQaが設けられる。

【0073】メモリアレイMKbに対しても同様に、アレイ選択信号φAaに응答して導通するアレイ選択ゲートSAGbと、列選択線CSLb上の信号に응答して導

(18)

特開平6-318391

33

通し、ビット線BLbおよび/BLbをローカルIO線LIOaおよび/LIOaに接続する列選択ゲートCSGbと、ビット線BLb、/BLb上の電位を検知し増幅するセンスアンプSAbと、イコライズ/プリチャージ信号φEQにตอบสนองして導通し、ビット線BLbおよび/BLbを所定電位VbiにプリチャージするプリチャージゲートEQbと、アレイ選択信号φAbにตอบสนองして導通するアレイ選択ゲートSAGdが設けられる。ダミービット線DBLbに対しても、同様に、アレイ選択信号φAaにตอบสนองして導通するアレイ選択ゲートDAGbと、イコライズ/プリチャージ信号φEQにตอบสนองして導通し、ダミービット線DBLbを所定電位VbiにプリチャージするプリチャージゲートDEQdと、イコライズ/プリチャージ信号φEQにตอบสนองして導通し、ダミービット線DBLbをローカルIO線LIOaに接続するプリチャージゲートDEQbが設けられる。

【0074】プリチャージ状態においては、アレイ選択信号φAaおよびφAbはともに“H”にある。アレイ選択ゲートSAGa～SAGdはすべて導通状態にありメモリアレイMKa～MKdに含まれるビット線対が対応のセンスアンプSAに接続される。このときイコライズ/プリチャージ信号φEQはまた“H”にあり、プリチャージゲートEQaおよびEQbが導通状態にあり、すべてのビット線対を所定電位Vbiにプリチャージする。このイコライズ/プリチャージ信号φEQにตอบสนองしてプリチャージゲートDEQcおよびDEQdがともに導通し、ダミービット線DBLaおよびDBLbが所定電位Vbiにプリチャージされる。さらにプリチャージゲートDEQaおよびDEQbが導通し、このゲートDEQcおよびDEQdから伝達されたプリチャージ電圧VbiがローカルIO線LIOa上に伝達される。

【0075】動作時においては、選択されたアレイのみがセンスアンプに接続されて活性化状態とされる。非選択メモリアレイはプリチャージ状態を維持しかつ選択アレイとセンスアンプを共有するときにはセンスアンプから切り離される。従来のDRAMにおいては、プリチャージゲートDEQaおよびDEQbは常時オフ状態を維持している。単にこれらのゲートDEQaおよびDEQbは、形状（パターン）を整えるために設けられる。このプリチャージゲートDEQaおよびDEQbを用いてローカルIO線をプリチャージすることによりワード線シャント領域の面積を低減することができる。すなわち、ローカルIO線プリチャージ用のトランジスタおよびローカルIO線イコライズ用のトランジスタをワード線シャント領域に新たに設ける場合、この領域の面積が増大する。しかしながら、このようなダミービット線DBLaおよびDBLbに設けられているゲートDEQaおよびDEQbを利用してローカルIO線をプリチャージする構成とすることにより、センスアンプ列とワード線シャント領域において余分のトランジスタを設ける必要が

34

なく、ワード線シャント領域の面積増大を避けることができる。また、ローカルIO線プリチャージ用の制御信号を伝達するための信号線を配設する必要もなく、センスアンプ列の占有面積（隣接メモリアレイMAaおよびMAbの間の領域）を小さくすることができる。

【0076】【実施例5】図15は、この発明のアレイ配置の第5の実施例の要部の構成を示す図である。図15には、ローカルIO線とグローバルIO線との接続形態を示す。図15において、ビット線対BLa、/BLaおよびビット線対BLb、/BLbは、それぞれセンスアンプSAaおよびSAbに接続される。図15においては、ビット線BLa、/BLa、BLb、/BLbとローカルIO線LIOaおよび/LIOaとの交差部に列選択信号にตอบสนองして導通する列選択ゲートCSGaおよびCSGbがそれぞれ設けられる。列選択線は示していない。センスアンプSA（SAaおよびSAb）は、ゲートとドレインが交差結合されたpチャネルMOS（絶縁ゲート型電界効果）トランジスタPT1およびPT2と、ゲートとドレインが交差結合されたnチャネルMOSトランジスタNT1およびNT2を含む。トランジスタPT1およびNT1が直列に接続され、トランジスタPT2およびNT2が直列に接続される。

【0077】センスアンプSAに対し、さらに、センスアンプ活性化信号/SOPにตอบสนองして導通し、電源電位Vccレベルの電位をセンスアンプSAへ伝達するpチャネルMOSトランジスタPAST（PASTa、PASTb）と、センスアンプ活性化信号SONにตอบสนองして導通し、センスアンプSAへ接地電位を伝達するnチャネルMOSトランジスタNAST（NASTa、NASPb）が設けられる。トランジスタNASTが導通状態となると、対応のビット線対BLおよび/BLにおいて、電位の低いビット線が接地電位レベルにまで放電される。トランジスタPASTが導通すると、対応のビット線対BLおよび/BLの高電位のビット線が電源電位Vccレベルにまで充電される。センスアンプ活性化信号SONおよび/SOPは、この半導体記憶装置においては、選択された（活性化された）メモリアレイMAに対してのみ与えられる（活性化状態とされる）。非選択メモリアレイMAに対してはセンスアンプ活性化信号は伝達されず、プリチャージ状態を維持する。したがって、このセンスアンプ駆動信号SONおよび/SOPは、また活性化されたメモリアレイを特定する情報を含んでいるとみなすことができる。

【0078】ワード線シャント領域WSに配設されるグローバルIO線対GIOaおよび/GIOaは、このセンスアンプ活性化信号SONにตอบสนองして導通するブロック選択ゲートBSによりローカルIO線対LIOaおよび/LIOaに接続される。ブロック選択ゲートBSは、ローカルIO線LIOaをグローバルIO線GIOaに接続するトランジスタBST2と、グローバルIO

(19)

特開平6-318391

35

線／GIOaをローカルIO線／LIOaに接続するトランジスタBST1を含む。前述のごとく、センスアンプ駆動信号SONは、選択されたメモリアレイMAに対してのみ活性状態とされる。このセンスアンプ駆動信号をローカルIO線とグローバルIO線との接続制御信号として利用すれば、選択されたメモリアレイMAに関連するローカルIO線対LIOがグローバルIO線対GIOに接続される。ローカルIO線対LIOとグローバルIO線対GIOとの接続を制御するための専用の信号線を配設する必要がなくなり、センスアンプ列の占有面積を小さくすることができる。

【0079】【実施例6】図16は、ビット線、ローカルIO線およびグローバルIO線の接続構成を示す図である。この図16に示す構成は、図14および図15に示す構成の組合せに対応する。図16において、ビット線対BLaおよび／BLaに対しては、ビット線イコライズ／プリチャージ信号φEQにตอบสนองして、ビット線BLaおよび／BLaをプリチャージするプリチャージ回路BEQが設けられる。このプリチャージ回路BEQはまたビット線BLaと相補ビット線／BLaをイコライズ／プリチャージ信号φEQにตอบสนองして電氣的に接続するイコライズトランジスタを含んでもよい。ビット線BLaおよび／BLaとローカルIO線LIOaおよび／LIOaの間に、列選択信号CSLにตอบสนองして導通する列選択ゲートCSGが設けられる。ローカルIO線LIOaには、ビット線イコライズ／プリチャージ信号φEQにตอบสนองしてダミービット線DBLaを所定電位Vblにプリチャージするとともにこのダミービット線DBLa上の電位をローカルIO線LIOa上に伝達するイコライズ／プリチャージ回路DEQが設けられる。ローカルIO線LIOaとローカルIO線／LIOaとの間に、ローカルIO線イコライズ信号φLEQにตอบสนองして導通し、ローカルIO線LIOaおよび／LIOaを電氣的に接続するイコライズトランジスタLEQが設けられる。

【0080】ローカルIO線LIOaおよび／LIOaとグローバルIO線GIOaおよび／GIOaとの間に、センスアンプ活性化信号SONにตอบสนองして導通するブロック選択ゲートBSが設けられる。グローバルIO線GIOaおよび／GIOaには、グローバルIO線イコライズ信号φGEQにตอบสนองして導通し、このグローバルIO線GIOaおよび／GIOaを所定電位Vcc/2の電位にプリチャージしかつイコライズするグローバルIO線イコライズ／プリチャージ回路GEQが設けられる。次にこの図16に示す接続構成の動作をその動作波形図である図17を参照して説明する。スタンバイ状態においては、信号φEQ、φLEQおよびφGEQがともに“H”にあり、一方センスアンプ活性化信号SONは“L”のレベルにある。この状態においては、イコライズ／プリチャージ回路BEQ、DEQ、GEQおよ

36

びイコライズトランジスタLEQは活性状態にあり、ビット線BLa、／BLa、ローカルIO線LIOa、／LIOaおよびグローバルIO線GIOaおよび／GIOaはすべて所定電位Vbl(=Vcc/2)にプリチャージされる。ダミービット線DBLaも、このときにはイコライズ／プリチャージ回路DEQにより所定電位Vblにプリチャージされている。

【0081】動作時においては、まず信号φEQが“L”に立下がり、プリチャージ／イコライズ回路BEQが非動作状態とされる。これにより、ビット線BLa、／BLaはプリチャージ電位でフローティング状態となる。次いで、ワード線が選択され、その電位が上昇する。このワード線電位の上昇に伴って、メモセルのデータが対応のビット線により読出される。図17により、ビット線対BLPにおいて、データ“0”が読出された状態でのビット線対BLPの電位変化が一例として示される。ビット線対の電位差が十分な大きさになると、センスアンプ駆動活性化信号SONおよび／SOPが発生される。図17においてはセンスアンプ駆動活性化信号SONのみを示す。このセンスアンプ活性化信号SONにตอบสนองして、選択メモリアレイにおいてセンス動作が行なわれ、ビット線上の電位差がさらに増幅される。

【0082】このときまた、センスアンプ活性化信号SONにตอบสนองしてブロック選択ゲートBSが導通状態となり、ローカルIO線LIOとグローバルGIO線対GIOとを接続する。次いで、信号φLEQおよびφGEQが非活性化され、列選択信号に従って、列選択線CSLの電位が“H”に立上がり、列選択ゲートCSGが導通状態となる。これにより選択されたビット線対BLP上の信号がローカルIO線対LIO(LIOaおよび／LIOa)上に伝達される。図17においてローカルIO線対LIOの電位振幅がビット線対BLのそれよりも小さくされているのは、ビット線対に設けられたセンスアンプがグローバルIO線対GIOおよびローカルIO線対LIOをともに駆動する必要があり、またグローバルIO線対には図示しないクランプトランジスタが設けられているためである。

【0083】ローカルIO線対LIOに信号電位が伝達されたとき、既にブロック選択ゲートBSが導通状態となっており、この電位は、即座にグローバルIO線対GIOへ伝達される。この状態において、データの読出が図示しないブリアンプを介して行なわれるかまたは書込バッファからの書込データがグローバルIO線対、ローカルIO線対およびビット線対BLへ伝達されてデータの書込が行なわれる。このように、ローカルIO線対LIOのプリチャージをダミービット線を利用して実行しかつブロック選択ゲートの導通の制御をセンスアンプ活性化信号を利用することにより、制御信号を伝達するための信号線の数を低減することができかつプリチャージ

(20)

特開平6-318391

37

用のトランジスタの数をも低減することができ、センスアンプ列のための面積および/またはワード線シャント領域の面積を増加させることがなく、チップ面積を低減することができる。

【0084】[32Kビットアレイの具体的構成] 図18および図19は1つの32Kビットメモリアレイに対応する部分の詳細な構成を示す図である。図18および図19において、2対のグローバルIO線対GIO1およびGIO2が示される。残りの2つのグローバルIO線対は隣接メモリアレイ位置においてローカルIO線対と接続されるため、図示していない。またグローバルIO線対においてはグローバルIO線対のイコライズ/プリチャージについて、イコライズ用のトランジスタのみを代表的に示す。この図18および図19においては図の上側の2つのローカルIO線対がグローバルIO線対GIO1およびGIO2に接続される。図の下側の2つのローカルIO線対LIOは図示しない部分においてグローバルIO線対(図示せず)に接続される。

【0085】図10に示す配置と異なるのは以下の点である。ローカルIO線対とグローバルIO線対とを接続するためのブロック選択ゲートBSGはセンスアンプ活性化信号SONに応答して導通する。図10に示す構成と比べて用いられる制御信号の数が少なくなっている。すなわち、ブロック選択信号φB(図10参照)はセンスアンプ活性化信号に置換えられている。またローカルIO線対LIOは所定電位にプリチャージするためのプリチャージトランジスタはダミービット線DBLに設けられたトランジスタDEQを利用している。ワード線シャント領域およびセンスアンプ列配置領域の面積を低減することができる。動作時においては、先の説明と同様であるが、このメモリアレイが選択された場合には、アレイ選択信号φAaが“H”の状態を維持し、残りのアレイ選択信号φAbおよびφAcは“L”に立下がる。残りの非選択メモリアレイにおいては、このアレイ選択信号は“H”を維持しており、プリチャージ状態を維持する。選択されたメモリアレイに関連する非選択メモリアレイのみがセンスアンプから切り離される。その後上側および下側のセンスアンプSAによるセンス動作が行なわれ、ローカルIO線対およびグローバルIO線対の接続がセンスアンプ活性化信号SONに응答して行なわれる。この動作はSDRAMに限らず標準DRAMにおいても同様である(アレイ選択およびメモリセルのセンス動作に関する限り)。したがって、ローカルIO線対とグローバルIO線対との接続およびビット線対とローカルIO線対とを接続およびプリチャージする本実施例における構成は、標準DRAMにおいても適用することができる。

【0086】[グローバルIO線とデータ入出力端子との対応関係] 1本の列選択線CSLにより8つのビット線対BLPを選択し、1つのメモリマットにおいて4本

38

の列選択線CSLを選択状態とする。2つのメモリマットが同時に活性化されるため、合計64ビットのメモリセルへ1度のアドレス指定によりアクセスすることができる。図20に示すように、1本の列選択線CSLは8対のグローバルIO線に対応する。1つのメモリマットMMにおいて各アレイグループAGにおいて1本の列選択線CSLが選択される。アレイグループAG(図7参照)1つについて8対のグローバルIO線GIO0~GIO7が配設される。同時に2つのメモリマットMMAおよびMMBが選択される。したがって、合計64のグローバルIO線対GIOがアクセス可能状態にある。この64個のグローバルIO線対すなわち64ビットのメモリセルとデータ入出力端子DQとの対応関係については様々な方法が考えられる。以下このデータ入出力端子DQと64ビットのメモリセルとの対応関係について簡単に説明する。

【0087】(1) 方法1

データ入出力端子DQはDQ0ないしDQ7と8個存在する。この方法1においては、1本の列選択線CSLに対応する8対のグローバルIO線GIO0~GIO7をそれぞれ8個のデータ入出力端子DQ0ないしDQ7へ対応付ける。この対応関係を図21に示す。この図21に示す対応関係の場合、1本の列選択線CSLによりデータ入出力端子DQ0~DQ7へ同時にグローバルIO線対を対応付けることができる。この場合、ラップ長(連続アクセス可能なデータの数)が変わった場合に内部構成の変更を容易に実行できる。すなわち、たとえばラップ長が8の場合には列選択線CSLを同時に8本選択状態とすることにより8つの連続データを連続的に順次列選択線へ対応付けることができる。ラップ長が4の場合には、列選択線を同時に4本選択状態とすればよい。

【0088】このラップ長の変更に従って選択される列選択線の数を変更する構成は、ラップ長設定情報とコラムデコーダへ与えられる列アドレスビットを1ビット用いて、コラムデコーダにおいて同時に選択状態となる単位デコーダ回路の数を変更すればよい。すなわち、各アレイグループまたはメモリマットに対応して設けられるコラムデコーダ部分に対しラップ長設定情報に従って1ビットの列アドレスを活性化信号として与えれば同時に選択される列選択線の数ラップ長に応じて変更することができる。またこの場合、プリアンプPAまたはライトバッファWBをクロック信号に同期して順次アレイグループごとに切換えていけば連続データ書込/読出を実現することができる。

(2) 方法2

第2番目の方法は、図22に示すように、1本の列選択線CSLを1つのデータ入出力端子DQに対応させる。すなわちラップ長8の場合、グローバルIO線対GIO0~GIO7を、1つのデータ入出力端子に関する8ビ

(21)

特開平6-318391

39

ットのラップデータに対応付ける。

【0089】この構成の場合、1つのアレイグループAGにおいて、プリアンプPAまたはライトバッファWBがシークエンシャルに活性化される。図22に示すように、1本の列選択線を1つのデータ入出力端子DQに対応付ける場合、たとえばライトパービット動作に容易に対応することができる。ライトパービット動作においては、データ入出力端子DQ0ないしDQ7それぞれに対し個々独立にデータの書込を禁止する。この場合、データ書込が禁止されるデータ入出力端子DQに対応する列選択線CSLを非選択状態とするという方法を利用することができる。

【バンク構成】SDRAMにおいてはメモリアレイが複数のバンクに分割される。バンクはそれぞれ互いに独立にプリチャージ動作および活性化動作（ワード線の選択、センスアンプの活性化など）を実行することが必要とされる。図6に示す配置においては、4つのメモリマットMM1ないしMM4が2つのバンク#1および#2に分割される。バンク#1はメモリマットMM1およびMM2からなり、バンク#2は、メモリマットMM3およびMM4から構成される。

【0090】この構成においては、ロウデコーダおよびコラムデコーダがそれぞれのメモリマットに対応して設けられておりかつ内部データ伝達線も各メモリマット個々に独立しているためにバンクの条件を満足している。さらに図6に示す構成においては、プリアンプPAおよびライトバッファWBを含む入出力回路PWも各メモリマットに対して設けられているため、バンク#1とバンク#2が交互にアクセスされるようなインターリーブ動作をも実現することができる。すなわち、たとえばバンク#1に対しアクセスしている間にバンク#2をプリチャージすることができる。この場合バンク#2に対してはプリチャージ時間なしでアクセスすることができる。バンク#1および#2に対し交互にアクセスおよびプリチャージを実行することにより、DRAMにおいてアクセス前に必要とされるプリチャージによる時間損失をなくことができ、高速アクセスを実現することができる。

【0091】標準DRAMにおいては、同一のチップで構成されたDRAMを、ワイヤボンディングにより×8構成と×4構成とに切替えることがよく行なわれる。通常、内部回路は×8構成で動作するよう構成されており、特定のパッドを電源電位Vccまたは接地電位Vssに接続することにより内部構成が×4構成に変更される。この場合、8ビットの内部データ伝達バスのうち特定のパッドのワイヤボンディングによる電位設定により4ビットのデータバスのみが選択的にデータ入出力端子へ接続される構成が用いられてもよい。一般には、×4構成に変換された場合メモリアレイの活性化も×4構成に対応するように変換される。

40

【SDRAMの機能的構成】図1はこの発明に従うSDRAMの主要部の構成を機能的に示すブロック図である。図1においては、×8ビット構成のSDRAMの1ビットの入出力データに関連する機能的構成の部分が示される。

【0092】データ入出力端子DQiに関連するアレイ部分は、バンク#1を構成するメモリアレイ1aと、バンク#2を構成するメモリアレイ1bを含む。バンク#1のメモリアレイ1aに対しては、アドレス信号X0～Xjをデコードしてメモリアレイ1aの対応の行を選択するロウデコーダを構成するXデコーダ群2aと、列アドレス信号Y3～Ykをデコードしてメモリアレイ1aの対応の列を選択する列選択信号を発生するコラムデコーダを構成するYデコーダ群4aと、メモリアレイ1aの選択された行に接続されるメモセルのデータを検知し増幅するセンスアンプ群6aを含む。Xデコーダ群2aは、メモリアレイの各ワード線に対応して設けられるXデコーダを含む。アドレス信号X0～Xjに従って、対応のXデコーダが選択状態となり、対応のワード線を選択状態とする。Yデコーダ群4aは、列選択線それぞれに対して設けられるYデコーダを含む。一本の列選択線CSLは8対のビット線を選択状態とする。Xデコーダ群2aおよびYデコーダ群4aにより、メモリアレイ1aにおいて8ビットのメモセルが同時に選択状態とされる。Xデコーダ群2aおよびYデコーダ群4aはそれぞれバンク指定信号B1により活性化される。

【0093】バンク#1に対してさらに、センスアンプ群6aにより検知増幅されたデータを伝達するとともに書込データをメモリアレイ1aの選択されたメモセルへ伝達するための内部データ伝達線（グローバルIO線）のバスGIOが設けられる。このグローバルIO線バスGIOは8対のグローバルIO線を含む。データ読出のために、このグローバルIO線バスGIO上のデータをプリアンプ活性化信号φPA1に応答して活性化されて増幅するプリアンプ群8aと、プリアンプ群8aで増幅されたデータを格納するためのリード用レジスタ10aと、リード用レジスタ10aに格納されたデータを順次出力するための出力バッファ12aが設けられる。プリアンプ群8a、リード用レジスタ10aおよび出力バッファ12aは、この8ビットのグローバルIO線に対してそれぞれ8ビット幅の構成を備える。リード用レジスタ10aはレジスタ活性化信号φRr1に回答してプリアンプ群8aの出力データをラッチし、順次出力する。出力バッファ12aは出力カインープル信号φOE1に回答して、リード用レジスタ10aに格納された8ビットのデータを順次データ入出力端子DQiへ伝達する。データ入出力端子DQiを介しては、データ入力およびデータ出力が共通に行なわれる。

【0094】データの書込を行なうために、入力バッファ活性化信号φDB1に回答して活性化され、データ入

(22)

特開平6-318391

41

出力端子DQ_iに与えられた入力データから書込データを生成する1ビット幅の入力バッファ18aと、レジスタ活性化信号φRw1にตอบสนองして活性化され、入力バッファ18aからの書込データを順次格納するライト用レジスタ16aと、書込バッファ活性化信号φWB1にตอบสนองして活性化され、ライト用レジスタ16aに格納されたデータを増幅してグローバルIO線対GIOへ伝達するライトバッファ群14aを含む。ライトバッファ群14aおよびライト用レジスタ16aはそれぞれ8ビット幅を有する。バンク#2も同様にXデコーダ群2b、Yデコーダ群4b、センスアンプ活性化信号φSA2にตอบสนองして活性化されるセンスアンプ群6b、プリアンプ活性化信号φPA2にตอบสนองして活性化されるプリアンプ群8b、レジスタ活性化信号φRr2にตอบสนองして活性化されるリード用レジスタ10b、出力イネーブル信号φOE2にตอบสนองして活性化される出力バッファ12b、バッファ活性化信号φWB2にตอบสนองして活性化されるライトバッファ群14b、レジスタ活性化信号φRw2にตอบสนองして活性化されるライト用レジスタ16b、バッファ活性化信号φDB2にตอบสนองして活性化される入力バッファ18bを含む。

【0095】バンク#1に対する構成とバンク#2に対する構成は同一である。リード用レジスタ10a、10bおよびライト用レジスタ16aおよび16bは、それぞれ連続アクセスするためのラップデータを格納するためのレジスタである。バンク#1および#2に対する各制御信号については、バンク指定信号B1およびB2にตอบสนองしていずれかの一方バンクに対する制御信号のみが発生される。図6のチップ配置との対応において、リード用レジスタ10a、10b、ライト用レジスタ16a、16b、入力バッファ18a、18b、出力バッファ12a、12bは周辺回路PHに配置される。プリアンプ群8a、8b、およびライトバッファ群14aおよび14bは入出力回路PW内に配置される。この機能ブロック200が、各データ入出力端子に対して設けられる。×8ビット構成の場合機能ブロック200が8個設けられる。上述のように、バンク#1およびバンク#2をほぼ同一構成とし、バンク指定信号B1およびB2により一方のみを活性化することにより、バンク#1および#2は互いにほぼ完全に独立して動作することが可能となる。また、データ読出用のレジスタ10aおよび10bとデータ書込用のレジスタ16aおよび16bとを別々にかつ各バンク#1および#2に対して設けることにより、データの読出および書込切替時およびバンク切替時においてデータが衝突することがなく、正確なデータの読出および書込を実行することができる。

【0096】バンク#1およびバンク#2それぞれ独立にメモリアレイを活性化するための制御系として、外部から与えられる制御信号、すなわち、外部ロウアドレスストローブ信号ext./RAS、外部コラムアドレス

42

ストローブ信号ext./CAS、外部出力イネーブル信号ext./OE、外部書込イネーブル信号(書込許可信号)ext./WEおよびマスク指示信号WMをたとえばシステムクロックである外部クロック信号CLKに同期して取込み内部制御信号φxa、φya、φW、φO、φR、φCを発生する第1の制御信号発生回路20と、バンク指定信号B1およびB2と、内部制御信号φW、φO、φR、およびφCとクロック信号CLKにตอบสนองしてバンク#1および#2それぞれ独立に駆動するための制御信号、すなわちセンスアンプ活性化信号φSA1、φSA2、プリアンプ活性化信号φPA1、φPA2、ライトバッファ活性化信号φWB1、φWB2、入力バッファ活性化信号φDB1、φDB2、および出力バッファ活性化信号φOE1、φOE2を発生する第2の制御信号発生回路22を含む。

【0097】内部制御信号φWは外部書込許可信号ext./WEに同期して発生される内部書込許可信号である。内部制御信号φOは外部読出許可(読出イネーブル)信号ext./OEに同期して発生される内部読出許可信号である。内部制御信号φRは、外部ロウアドレスストローブ信号ext./RASに同期して発生される内部ロウアドレスストローブ信号(内部RAS信号)である。内部制御信号φCは、外部コラムアドレスストローブ信号ext./CASに同期して発生される内部コラムアドレスストローブ信号(内部CAS信号)である。内部制御信号φxa、およびφyaは、それぞれ外部制御信号ext./RASおよびext./CASに同期して発生される内部アドレスバッファ活性化信号である。第2の制御信号発生回路22は、バンク指定信号B1およびB2に従って、この指定されたバンクに対応する制御信号のみを活性状態とする。第2の制御信号発生回路22が発生する制御信号のタイミングはクロック信号CLKにより制御される。たとえば読出許可信号φOE1またはφOE2は、外部ロウアドレスストローブ信号ext./RAS(または内部ロウアドレスストローブ信号φR)が活性状態となってからクロック信号CLKを6カウントした後に発生される。また、ライトバッファ活性化信号φWB1またはφWB2は、書込データが8個与えられた後のクロック信号にตอบสนองして発生される。すなわち、外部書込許可信号ext./WEが活性状態となってからクロックがCLKが8個カウントされた後にメモリアレイの選択されたメモリエセルへの書込データの伝達が行なわれる。これはラップ長8を想定しており、通常動作モードにおいては常時、ラップ長8を想定してSDRAMは動作する。

【0098】SDRAMはさらに、周辺回路として、内部制御信号φxaにตอบสนองして、外部アドレス信号ext.A0ないしext.A1を取込み内部アドレス信号X0~Xjと、バンク選択信号B1およびB2を発生するXアドレスバッファ24と、内部制御信号φyaに

(23)

特開平6-318391

43

答して活性化され、列選択線を指定するための列アドレスY3～YKと、連続アクセス時における最初のビット線対(列)を指定するラップアドレス用ビットY0～Y2を発生するYアドレスバッファ26と、クロック信号CLKにตอบสนองして、このラップアドレス用ビットY0～Y2をデコードしてラップアドレスWY0～WY7、リード用レジスタ10a、10bを制御するためのレジスタ駆動用信号φRr1およびφRr2、およびライト用レジスタ16aおよび16bを駆動するための制御信号φRw1およびφRw2を発生するレジスタ制御回路28を含む。レジスタ制御回路28へは、またバンク指定信号B1およびB2が与えられ、選択されたバンクに対してのみレジスタ駆動用信号が発生される構成が用いられてもよい。次に具体的な内部動作について説明する。

【0099】[連続ライトマスク機能] SDRAMにおいては、通常動作モード時においては1つのデータ入出力端子について8ビットのデータが連続して書込まれる。たとえば、一連のデータ列において偶数番目のバイトデータのみを書換えたい場合、奇数番目のデータに対してはマスクをかければ、所望の偶数番目のデータのみが書換えられる。この連続アクセス動作時において所望のバイトデータに対してマスクをかける構成について以下に説明する。図23は、連続アドレス時におけるマスクをかける動作を示すタイミング図である。図23において、各制御信号はすべて外部制御信号であるが、この外部制御信号であることを示す符号“ext.”は省略する。データ書込動作時においては、まず外部ロウアドレスストロブ信号/RASを“L”に立下げる。これにより外部アドレスADDが行アドレス信号Xaとして取込まれ、内部行アドレス信号が発生される。これに従ってバンクの選択および選択されたバンクにおけるメモリアレイの活性化(ワード線の選択およびセンスアンプの駆動)が行なわれる。

【0100】次いで外部コラムアドレスストロブ信号/CASおよび外部書込許可信号/WEを“L”に立下げる。ここで、通常、仕様として、外部ロウアドレスストロブ信号/RASが立下がってから外部コラムアドレスストロブ信号/CASを立下げるまでに必要とされる時間すなわちRAS-CAS遅延時間tRCDは2クロックサイクルとされる。書込許可信号/WEが“L”へ立下がることにより、選択されたバンクにおける入力バッファが活性化され、ライト用レジスタへデータが書込まれる。このライト用レジスタへのデータの書込位置は、外部コラムアドレスストロブ信号/CASが立下がったときに取込まれた外部アドレス信号ADDにより発生される内部列アドレス信号Ybの下位3ビットY0～Y2により指定される。次いでクロック信号の立上がりエッジで入力バッファを介してデータが順次ライト用レジスタへ書込まれる。これにより連続して8バイトのデータb0～b7が書込まれる。8バイトのデー

44

タb0～b7が書込まれた後、すでに選択されている64ビットのメモリセルへ同時にこの8バイトのデータが書込まれる。この選択されたメモリセルへの書込データの伝達は、書込許可信号/WEが“L”に立下がってからクロック信号CLKを8カウントした後の次のクロック信号CLKの立上がりに対応して行なわれる。

【0101】この連続ライト動作時において所望のバイトデータにマスクをかけるマスクライト動作時には、マスクをかけたいデータに対応して外部からのマスク指示信号WMを“H”に立上げる。図23においては2番目のバイトデータd1および5番目のバイトデータd4に対しマスクをかける場合が示される。この場合、64ビットのメモリセルが同時に選択されてはいるものの、その対応のメモリセルへは書込データは伝達されない。この場合、マスクされたデータに対応するメモリセルへは再書込動作を実行しているだけである。次にこの連続ライト動作時におけるマスクをかけるための構成について説明する。図24は、連続ライト動作時におけるマスクライト機能を実現するための回路構成を示す図である。図24(A)にライト用レジスタ16と入力バッファ18とを示す。入力バッファ18は、データ入出力端子DQ1に与えられた入力データを取込み書込データを生成する。入力バッファ18は、入力バッファ活性化信号φDBにตอบสนองして活性化される。この入力バッファ活性化信号φDBは、図1に示す第2の制御信号発生回路22から、内部書込信号φWにตอบสนองして発生される。入力バッファ18の出力は8ビットの単位レジスタを有するライト用レジスタ16へ与えられる。ライト用レジスタ16は、ラップアドレスwy0～wy7のうち活性化されているラップアドレスに対応する単位レジスタにこの入力バッファ18からの書込データをラッチする。ライト用レジスタ16は、ライトレジスタ活性化信号φRwにตอบสนองして活性化され、同時に書込データWD0～WD7を発生する。ラップアドレスwy0～wy7はいずれか1つのみが活性状態とされる。各クロックサイクルごとにこの活性化されたラップアドレスが順次シフトする。

【0102】図24(B)はマスクデータを生成するための構成を示す図である。図24(B)において、マスクデータ発生系は、入力バッファ活性化信号φDBにตอบสนองして活性化されライトマスク指示信号WMを取込んでライトマスクデータを発生するライトマスクデータ発生回路160と、このライトマスクデータ発生回路160からのライトマスクデータを取込むライトマスクレジスタ162を含む。ライトマスクレジスタ162は、8ビットの単位レジスタを含む。ライトマスクレジスタ162では、ライト動作が始まる前はセット信号により各単位レジスタはセット状態とされ、保持データは“1”に設定される。単位レジスタの保持するデータが“1”の場合には書込が禁止され、保持データが“0”の場合に

(24)

特開平6-318391

45

は書込が実行される。

【0103】ライトマスクレジスタ162は、このライトマスクデータ発生回路160からのライトマスクデータを、ラップアドレスwy0～wy7に従って順次単位レジスタに格納する。ライトマスクレジスタ162の保持データはライトマスクレジスタ活性化信号φWMに10 応答して同時にマスクデータMD0～MD7として出力される。このライトマスクレジスタ活性化信号φWMは、ライト用レジスタ活性化信号φRwとほぼ同じタイミングで発生される。このライトマスクレジスタ162の保持するマスクデータMD0～MD7は後に説明するようにライト用バッファへ伝達され、対応のライト用バッファの出力を制御する。図24(c)はラップアドレスを発生するための構成を示す図である。図24(c)において、ラップアドレス発生系は、3ビットの内部列アドレスY0～Y2をデコードするラップアドレスデコーダ166と、ラップアドレスデコーダ166の出力をラッチし、かつクロック信号CLKに10 応答してラッチデータを順次シフトするラップアドレスレジスタ164を含む。ラップアドレスデコーダ166は3ビットの列アドレスY0～Y2をデコードし、その出力y0～y7のうちの1つのみを選択状態とする。

【0104】ラップアドレスレジスタ164は、8段のシフトレジスタ構成を備え、このラップアドレスデコーダ166の出力y0～y7を単位シフトレジスタにラッチし、次いでクロック信号CLKに従って順次シフトする。このラップアドレスレジスタ164の各単位シフトレジスタから最初にデータが書込まれるメモリセル位置を示すラップアドレスwy0～wy7が発生される。ラップアドレスレジスタ164は、図1に示す構成においてレジスタ制御回路28に含まれる。ライトマスクレジスタ162は、図1の構成において、第1の制御信号発生回路20に含まれてもよく、第2の制御信号発生回路22に含まれてもよい。次にこの図24に示すマスクライト機能を実現する回路の動作についてその動作タイミング図である図25を参照して説明する。今、図23に示すように、2番目の入力データd1および5番目の入力データd4に対しマスクをかける場合を考える。

【0105】ラップアドレスデコーダ166は、3ビットの内部列アドレスY0～Y2をデコードしてラップアドレスy0～y7を発生する。今、3ビットの列アドレスY0～Y2が(Y0, Y1, Y2) = (0, 1, 0)であれば、最初に、ラップアドレスデコーダ166からの出力y2のみが選択状態とされる。この出力信号y2がラップアドレスレジスタ164に取込まれる。ラップアドレスレジスタ164のラップアドレスwy2が選択状態とされる。以降、クロック信号CLKがトグルされるごとにラップアドレスレジスタ164の出力するラップアドレスは順次wy3→wy4→wy5→wy6→wy7→wy0→wy1と活性化される。外部からのマス 50

46

クビット指示信号WMは、入力データd1とd4に対応して発生される。ライトマスクレジスタ162においては、書込許可信号/WEに11 応答して各単位レジスタの保持データは“1”に設定される。ライトマスクレジスタ162の各単位レジスタは、ラップアドレスwyに従って、ライトマスクデータ発生回路160からのライトマスクデータWMを格納する。したがって、ライトマスクレジスタ162においては、マスクデータMD3およびMD6が書込禁止を示す活性状態の“1”となり、残りのマスクデータMD2、MD4、MD5、MD7、MD0およびMD1は書込許可状態を示すデータ“0”を格納する。

【0106】ライト用レジスタ16は、入力バッファ18から与えられたデータをラップアドレスwy0～wy7に従って格納する。8ビットのデータが書込まれた後、クロック信号CLKの立上がり12 に対応してライトレジスタ活性化信号φRwおよびライトマスクレジスタ活性化信号φWMが活性化され、それぞれのレジスタに格納されているデータが並列にライトバッファへ伝達される。ライトバッファは、後に詳細に説明するように、このマスクデータMD0～MD7に従って書込データWD0～WD7を対応のグローバルIO線対GIOへ伝達する。図26は、図24に示すライト用レジスタ16の単位レジスタの構成を示す図である。図26において、単位ライトレジスタは、入力バッファ18からの書込データDをラップアドレスwyiに13 応答して通過させるnチャネルMOSトランジスタ216と、トランジスタ216を介して伝達された書込データをラッチするためのインバータラッチ回路を構成するインバータ回路217および218と、このインバータラッチ回路(インバータ回路217および218)の出力を反転するインバータ回路219と、インバータ回路219の出力を、レジスタ活性化信号φRwに14 応答して出力するnチャネルMOSトランジスタ220を含む。インバータ回路217の出力はインバータ回路218の入力に結合され、インバータ回路218の出力がインバータ回路217の入力に結合される。

【0107】動作時においては、この単位レジスタは、ラップアドレスwyiが活性状態(“H”)となったときに入力バッファ18からの書込データDを取込んでインバータラッチ回路でラッチする。活性化信号φRwが活性されるとトランジスタ220が導通して内部書込データWD1が生成される。この図22に示す構成において、トランジスタ220はインバータ回路219の入力とインバータラッチ回路(インバータ回路217および218)の出力との間に設けられてもよい。またインバータラッチ回路の入力部(インバータ回路217の入力部)は通常時は所定の電位にプリチャージされる構成が用いられてもよい。図27は、図24に示すライトマスクレジスタの単位レジスタの構成を示す図である。図2

(25)

特開平6-318391

47

7において単位マスクレジスタは、ラップアドレスwy 1に応答してライトマスクデータ発生回路160から発生されたマスクデータMを通過させるnチャネルMOSトランジスタ222と、トランジスタ222を介して与えられたマスクデータをラッチするためのインバータラッチ回路を構成するインバータ回路226および228と、ライトマスクレジスタ活性化信号φWMに反応して、このインバータラッチ回路の出力（インバータ回路226の出力）を通過させてマスクデータMDiを生成するnチャネルMOSトランジスタ230と、セット信号10に反応してインバータラッチ回路の入力部（インバータ回路226の入力）を接地電位へ設定するnチャネルMOSトランジスタ224を含む。セット信号は、ロウアドレスストロブ信号/RASに反応して発生されてもよい。ライトマスクデータMが発生される前にセット信号によりこのインバータラッチ回路の入力部が接地電位に設定されていけばよい。

【0108】動作時において、まずセット信号によりインバータ回路226の入力部の電位が接地電位に設定される。これにより単位ライトマスクレジスタにデータ20 “1”が初期設定される。次いで、ラップアドレスwy 1に従ってトランジスタ222が導通し、ライトマスクデータ発生回路160からのマスクデータMがインバータ回路226の入力部へ与える。トランジスタ224はすでにオフ状態となっている。これにより、マスクデータMがインバータ回路226および228によりラッチされる。ライトマスクレジスタ活性化信号φWMが活性化されるとトランジスタ230がオン状態となり、インバータ回路226の出力を通過させてライトマスク指示信号MDiを発生する。図28は図24に示すラップアドレスレジスタ164の単位レジスタの構成を示す図である。図28において、単位ラップアドレスレジスタは、大きな駆動能力を有するインバータ回路232と比較的小さな駆動能力を有するインバータ回路234と、クロック信号CLKに反応して、インバータ回路232の出力を伝達するnチャネルMOSトランジスタ238と、トランジスタ238を介して伝達される信号を反転する比較的小さな駆動能力を有するインバータ回路240と、インバータ回路240の出力を反転する比較的小さな駆動能力を有するインバータ回路242を含む。40

【0109】インバータ回路232の出力はトランジスタ238へ与えられるとともに、インバータ回路234の入力へ与えられる。インバータ回路234の出力はインバータ回路232の入力へ与えられる。単位ラップアドレスレジスタはさらに、セット信号に反応してラップアドレスデコーダ166から発生される選択信号yiを取込むためのnチャネルMOSトランジスタ236を含む。このトランジスタ236の出力はインバータ回路232の入力およびインバータ回路234の出力へ与えられる。このインバータ回路234の出力からラップアド50

48

レスwy 1が発生される。トランジスタ236のゲートへ与えられるセット信号は、ラップアドレスデコーダ166を活性化するための制御信号に反応して所定の期間発生されるワンショットのパルス信号が利用されてもよい。またコラムアドレスストロブ信号/CASの活性化に反応してクロック信号CLKの立上がりエッジで発生されるワンショットパルスが用いられてもよい。次に動作について説明する。

【0110】セット信号が活性化されることにより、トランジスタ236がオン状態となり、ラップアドレスデコーダ166の出力yiを取込みラッチする。この取込まれた信号yiはラップアドレスwy 1として出力される。このセット信号の発生時においては、クロック信号CLKが“H”、相補クロック信号/CLKが“L”である。インバータ回路232の出力は、トランジスタ238を介してインバータ回路240へ与えられ、インバータ回路240および242によりラッチされる。次いでクロック信号CLKが“L”に立下がり、相補クロック信号/CLKが“H”に立下がると、このインバータ回路の出力が隣接する単位ラップアドレスレジスタへ伝達され、隣接するラップアドレスが活性状態となる。インバータ回路240は比較的大きな駆動能力を有しており、隣接する単位ラップアドレスレジスタの入力部に設けられているインバータラッチ回路のラッチ状態をその出力状態に合わせて修正する。これにより、クロック信号CLKに従って順次ラップアドレスが活性状態とされる。

【0111】上述のラップアドレス発生系においては、最初に設定されたラップアドレスwyを初期アドレスとして隣接する列を順次選択しており、ラップアドレスの発生方法は一意的である。このラップアドレスの発生順序をプログラムする構成が利用されてもよい。

〔ライトバッファ〕図29はライトバッファの構成を示す図である。図1に示すライトバッファ群14はこの図29に示すライトバッファを8個備える。図29を参照して、ライトバッファは、ライトレジスタ16からの書込データWDiを受けるインバータ回路と、ライトバッファ活性化信号φWBと、ライトマスクレジスタ162からのマスクデータMDiとを受ける2入力NOR回路61と、NOR回路61の出力を受けるインバータ回路62を含む。ライトバッファ制御信号φWBは“L”となったとき活性状態となり、データ書込を指示する。

【0112】ライトバッファは、さらに、電源電位Vcと接地電位Vsとの間に縦列接続されるpチャネルMOSトランジスタ63および64と、nチャネルMOSトランジスタ65および66を含む。トランジスタ63および66のゲートへはインバータ回路60の出力が与えられる。トランジスタ64のゲートへはインバータ回路62の出力が与えられる。トランジスタ65のゲート

(26)

特開平6-318391

49

トへはNOR回路61の出力が与えられる。ライトバッファはさらに、電源電位Vccと接地電位Vssとの間に縦列接続されるpチャネルMOSチャネル67および68と、nチャネルMOSトランジスタ69および70を含む。トランジスタ67および70のゲートへ書込データWD1が与えられ、トランジスタ68のゲートへインバータ回路62の出力が与えられ、トランジスタ69のゲートへNOR回路61の出力が与えられる。トランジスタ64とトランジスタ65の接続点がグローバルIO線対GIOの一方のグローバルIO線GIO1へ接続され、トランジスタ68および69の接続点が他方グローバルIO線/GIO1に接続される。次に動作について説明する。

【0113】(i) マスクデータMD1が“1”(“H”)にあり、書込データに対するマスクを指示している場合を考える。この場合、NOR回路61の出力が“L”となり、インバータ回路62の出力が“H”となる。これにより、トランジスタ64、65、68および69がオフ状態となり、グローバルIO線GIO1および/GIO1はそのときの電位保持状態となり、書込データの伝達は行なわれない。

(ii) マスクデータMD1が“0”のとき
この場合は書込データWD1に従ってデータの書込が行なわれる。すなわちNOR回路61の出力がライトバッファ活性化信号/ ϕ WBの立下がりに応答して“H”となり、インバータ回路62の出力が“L”となる。それによりトランジスタ64、65、68、および69が導通状態となる。書込データWD1が“1”であり“H”の場合、トランジスタ63がオン状態となりトランジスタ66がオフ状態となる。また同時にトランジスタ67がオフ状態、トランジスタ70がオン状態となる。これによりグローバルIO線対GIO1はトランジスタ63および64を介して電源電位Vccレベルに充電され、一方、グローバルIO線/GIO1はトランジスタ69および70を介して接地電位Vssに放電される。

【0114】書込データWD1が“0”を示す“L”レベルの場合には、インバータ回路62の出力が“H”となる。この場合は、トランジスタ63がオフ状態、トランジスタ66がオン状態、トランジスタ67がオン状態、トランジスタ70がオフ状態となる。グローバルIO線GIO1がトランジスタ65および66を介して放電されて接地電位Vssレベルの“L”レベルとなり、グローバルIO線/GIO1がトランジスタ67および68を介して充電されて“H”となる。上述の構成により、連続書込時において所望のデータに対してのみマスクをかけることが可能となる。

〔周波数－レイテンシ〕SDRAMにおいては、読出データが出力されるタイミングはクロック信号CLKのトグル数により決定される。このクロックのトグル数と読出データの出力されるタイミングとの関係をレイテンシ

50

と呼ぶ。たとえば、クロック信号CLKの周波数が100MHzの場合、外部ロウアドレスストローブ信号/RASが立下がったサイクルから6クロックサイクル目に有効データが出力される。

【0115】しかしながら、クロック信号CLKの周波数が50MHzのシステムでこのSDRAMを用いる場合、同じように、外部ロウアドレスストローブ信号/RASが立下がってから6クロックカウント後読出データが出力されると、アクセスタイムは120ナノ秒となり、高速動作性というSDRAMの性能を有効に発揮することができなくなる。クロック周波数が変更されてもSDRAMの高速動作性という性能を十分に引き出すことのできる構成を以下に説明する。図30は、本発明に従うSDRAMにおける周波数とレイテンシとの関係を示す図である。レイテンシはアドレスビットA4およびA5の組合せにより決定される。このレイテンシセットサイクルはクロック信号CLKの立下がりエッジで信号/RAS、/CASおよびWEをすべて“L”に設定するWCBRの条件で実行される。クロック周波数が100MHzの場合、RASアクセスタイムtRACは6クロックサイクルとし、CASアクセスタイムtCACは4クロックサイクルとし、RASプリチャージサイクル時間を4クロックサイクルとし、RAS－CAS遅延時間tRCDを最小2クロックサイクルと設定する。以下、クロック信号CLKの周波数が小さくなるにつれて、各アクセス時間およびプリチャージ時間に要するクロックサイクル数を小さくする。

【0116】図31はこのRASアクセスタイム、CASアクセスタイムおよびRASプリチャージ時間およびRAS－CAS遅延時間tRCDを説明する図である。RASアクセス時間tRACは、外部ロウアドレスストローブ信号/RASが“L”に立下がってから有効データが出力されるまでに必要とされる時間である(SDRAMにおいては、すべてクロックのサイクル数で示される)。CASアクセス時間tCACは、コラムアドレスストローブ信号/CASが“L”に立下がってから有効データが出力されるまでに要する時間である。RASプリチャージ時間tRPはメモリアレイをプリチャージするために必要とされ、信号/RASを“H”に維持するのに必要とされる時間である。RAS－CAS遅延時間tRCDは、行アドレス信号と列アドレス信号がマルチプレクスして与えられるために、これらのアドレス信号を確実に分離して確定状態に設定するために必要とされる時間であり、外部アドレスストローブ信号/RASが立下がってから、コラムアドレスストローブ信号/CASを“L”へ立下げるまでに要求される時間である。次にこのレイテンシを周波数に応じて変更するための構成について図32を参照して説明する。

【0117】図32において、レイテンシ変更回路は、WCBRの条件を検出するためのWCBR検出回路38

(27)

特開平6-318391

51

0と、クロック信号CLKにตอบสนองしてアドレス信号ビットA4およびA5を取込むアドレスセット回路382と、WCBR検出回路380の出力にตอบสนองして活性化され、アドレスセット回路382にラッチされたアドレスビットをデコードしてレイテンシを検出するレイテンシデコーダ384と、レイテンシデコーダ384からのレイテンシ設定信号にตอบสนองして出力タイミングを調整する出力制御回路386を含む。出力制御回路386は図1に示す第1の制御信号発生回路20からの内部制御信号φR（またはint. RAS）にตอบสนองして、所定数のクロック信号CLKをカウントして出力バッファ制御信号φOEを発生する。出力制御回路386がカウントするクロック数がレイテンシデコーダ384からのレイテンシ設定信号に応じて調整される。

【0118】アドレスセット回路382は、アドレスバッファからの内部アドレスビットA4およびA5をWCBR検出回路380からのWCBR検出信号にตอบสนองしてラッチする構成が利用されてもよい。この場合において、レイテンシが変更された場合、データ出力タイミングがクロックのカウント数に応じて調整されるだけである。ワード線立上げタイミングなどが内部制御信号φRにตอบสนองして実行される場合には特にこのレイテンシデコーダ384の出力はRAS制御系およびCAS制御系へ与えられる必要はない。センスアンプ活性化タイミングおよび列選択信号発生タイミングなどがクロックのカウント数に応じて設定されている場合にはこのレイテンシデコーダ384からのレイテンシ設定信号に応じて各センスアンプ活性化信号および列選択信号発生タイミングが調整される。この場合においてもクロックのカウント数が変更されるだけである。

【0119】上述のように、クロック信号CLKの周波数に応じてデータ出力タイミングを調整することにより、クロック信号CLKの周波数に関わらず、SDRAMの性能を十分に引き出すことができる。

【ラップ長変更】前述の説明においては、ラップ長は8に設定されている。しかしながら、1度のアクセスサイクルにおいて連続して書込まれるデータ数はそれぞれの場合において可変な場合がある。たとえば標準DRAMにおいても、ニブルモード、ページモード、スタティックコラムモードなどが設けられている。この場合、連続して書込まれるまたは読出されるデータの数はニブルモードを除いて、容易に変更することができる。そこで、SDRAMにおいてもラップ長を変更できる構成を設ける。

【0120】図33はラップ長をプログラムする方法を一覧にして示す図である。ラップ長は、WCBRの条件下でのアドレスキーの設定により行なわれる。アドレスキーとしては3ビットのアドレス信号A0、A1およびA2が一例として利用される。ラップ長の単位としては4、8、16、32および全ページ（1行）が利用

52

できる。図34はこのラップ長設定制御系の構成を示す図である。図34において、ラップ長設定制御系は、WCBRの条件を検出するWCBR検出回路390と、WCBR検出回路390の出力にตอบสนองして、アドレスバッファから発生された内部アドレスビットA0、A1およびA2をラッチするラップ長ラッチ回路392と、ラップ長ラッチ回路392にラッチされたデータに従って、ラップ長を示すクロック数を選択するクロック数選択回路394と、クロック数選択回路394からのクロック数情報に従って、クロック信号CLKをカウントし、ライトバッファ活性化信号φWBを発生するφWB発生回路396を含む。

【0121】φWB発生回路396は、内部CAS系制御信号φC（信号/CASに同期して発生される）にตอบสนองして活性化され、所定のクロック数をカウントした後にライトレジスタ活性化信号φWBを発生する。この図34において、データを書込む構成しか示していないが、同様に、読出を行なう場合には、読出用のリード用レジスタ活性化信号φRrを発生する回路がクロック数選択回路394の出力により制御される。φWB発生回路396は、内部書込可能許可信号φWと内部CAS系制御信号φCにตอบสนองしてライトレジスタ活性化信号φWBを発生する。φRr発生回路（図示せず）は内部RAS制御信号φRにตอบสนองしてリード用レジスタ制御信号を発生する。出力バッファおよび入力バッファはそのラップサイクル期間中活性状態とされてもよい。

【0122】ラップ長制御回路はさらに、クロック数選択回路394からのクロック数情報に応じてシフトクロックを発生するシフトクロック発生回路398を含む。

シフトクロック発生回路398は、設定されたクロック数に応じてコラムデコーダが選択する列選択線CSLの位置を1つずつずらすためのシフトクロックを発生する。通常、ラップ長は8に設定されており、クロック数選択回路394は、このラップ長8とプログラムされたラップ長との差に応じてシフトクロックを発生する。プログラムされたラップ長が8の場合には、通常時と同様であり、シフトクロックは発生されない。ラップ長が16の場合にはシフトクロックが1つ発生され、ラップ長が32の場合にはシフトクロックが3発生される。この場合、基本ラップ長は8であり、8ビットのラップデータが格納された時点でデータの転送が行なわれる（データ書込の場合）。すなわち、このラップ長が標準値のたとえば8よりも大きい場合には、書込データのうち、連続8ビットのラップデータがライト用レジスタに格納された時点でデータの転送が行なわれる。データの転送が行なわれた後、次の連続8ビットデータがレジスタ（ライト用レジスタ）へ格納される。この間において、シフトクロック発生回路398からのシフトクロックに従って、コラムデコーダからの列選択線が1つシフトされる。この期間は十分あり（次の連続8ビットデータが書

(28)

特開平6-318391

53

込まれる前に次の列選択線が立上げられればよい)、十分に連続して所望のラップ長データを書込むことができる。この列選択線を順次立上げる構成について次に説明する。

【0123】図35は、ラップ長プログラム時における列選択信号を発生するための構成を示す図である。図35において、列選択信号発生系は、内部制御信号 ϕy_a に応答して外部からのアドレス信号A3~Akを取込んで内部列アドレス信号Y3~Ykを発生するコラムアドレスバッファ26aと、外部コラムアドレスストロブ信号/CASに同期して発生される内部制御信号 ϕC に10 応答して活性化され、コラムアドレスバッファ26aから発生された内部列アドレス信号Y3~Ykを初期カウント値として取込むカウンタ400と、クロック数選択回路394(図45参照)からのラップ長情報に1 応答して、カウンタ400の出力およびコラムアドレスバッファ26aの出力の一方を選択する選択回路402と、選択回路402からの列アドレス信号をデコードして列選択線CSLを活性化するYデコーダ群404を含む。

【0124】カウンタ400は、そのカウント値がシフトクロック信号SCに1ずつ増分(または減分)20 される。カウンタ400は、図35に示すシフトクロック発生回路398からのシフトクロック信号SCに1 応答してそのカウント値を1増分する。選択回路402は、クロック数選択回路394からのクロック数情報が1以上、すなわち、ラップ長が16以上の場合を示している場合には、カウンタ400の出力を選択してYデコーダ群404へ与える。Yデコーダ群404はデコーダ活性化信号 ϕCD に2 応答してこの選択回路402から与えられた信号をデコードして列選択線を選択する。ラップ長が8以下の場合には、選択回路402は、コラムアドレスバッファ26aの出力を選択する。

【0125】Yデコーダ群404へ与えられるデコーダ活性化信号 ϕCD は、このクロック数選択回路からの情報に従って、外部コラムアドレスストロブ信号/CAS(またはライトイネーブル信号(書込許可信号))が立下がってから所定のクロック数が経過したときに一旦不活性状態となり、再び活性状態となる。この図35に示す構成において、カウンタ400は、シフトクロックSCではなく、Yデコーダ活性化信号 ϕCD の立下がり40 1 応答してそのカウント値が1増分される構成が利用されてもよい。このとき、シフトクロック信号SCは、Yデコーダ制御系へ与えられ、そのシフトクロック信号SCの発生タイミングで活性化信号 ϕCD の活性化/不活性化の制御が行なわれる。次にこの通常ラップ長が8に設定されているSDRAMにおいて、ラップ長16が選択された場合の動作をその動作波形図である図36を参照して説明する。

【0126】まず、外部ロウアドレスストロブ信号/RASが“L”に立下がると、次のクロック信号CLK 50

54

の立上がりエッジでアドレス信号ADDが取込まれ、内部行アドレス信号Xaが発生される。この内部行アドレス信号Xaに従って、ワード線WLの電位が立上がり、この1行のメモセルの電位が各ビット線対BLPに伝達される。次いで、外部コラムアドレスストロブ信号/CASおよび書込許可信号(ライトイネーブル信号)/WEが“L”に立下がると、そのときデータ入出力端子DQに与えられていたデータがクロック信号CLKの立上がりエッジで取込まれ、ライト用レジスタにラッチされる。このライト用レジスタへのラッチ時には先に示したように、ラップアドレスが示すレジスタ位置にデータが格納される。そのときには、列アドレス信号Ybがすでに取込まれている。

【0127】選択回路402は、クロック数選択回路394(図34参照)からのラップ長が16であることを示す情報に従って、カウンタ400の出力を選択する。カウンタ400は、内部制御信号 ϕC に従ってコラムアドレスバッファ26aの出力をその初期カウント値としてラッチしている。Yデコーダ群404は、次いで、デコーダ活性化信号 ϕCD に2 応答して活性化されて列デコード動作を行ない1本の列選択線CS1を選択状態とする。ライト用レジスタには8ビットのラップデータb0~b7が順次格納される。8ビット目のラップデータb7がラッチされるクロック信号の立上がりエッジでライトバッファ活性化信号 ϕWB が発生される。このときには、すでに列選択線CSLは選択されている。これにより、8ビットのラップデータb0~b7が各選択されたメモセルへ書込まれる。このラップデータb0~b7のメモセルへの書込と平行して、ライト用レジスタには次の8ビットのラップデータb8~b15が順次クロック信号の立上がりエッジで取込まれてラッチされる。

【0128】ラップデータb7が取込まれたクロック信号の立上がりエッジでライト用レジスタからのデータの書込が行なわれ、次のクロック信号の立上がりに従って次のラップデータの取込みが行なわれているため、誤ったデータの書込が生じない。この列選択線CSL1の選択により、メモセルへのデータの書込が行なわれた後、一旦デコーダ活性化信号 ϕCD は不活性状態へ移行する。この列デコーダの不活性化に2 応答してカウンタ400のカウント値が1増分される。メモリアレイは、列選択系のみが一旦プリチャージ状態に復帰する。ワード線WLは選択状態を維持する。したがって、各ビット線対BLPの電位はそれぞれセンスアンプによりラッチされた状態を維持する。所定クロック数がカウントされると、すなわち、ライト用レジスタに次のラップデータb8~b15がすべて書込まれる前に、Yデコーダ群404が活性化される。選択回路402はカウンタ400の出力をYデコーダ群404に与えている。カウンタ400のカウント値は1増分されている。したがって、Yデコーダ群404は、隣接する列選択線を選択する。

(29)

特開平6-318391

55

【0129】この選択された列選択線CSL2に関連するメモリセルに対しライト用レジスタにラッチされている8ビットラップデータb8～b15がこのライト用レジスタ活性化信号φWBに応答して転送され、グローバルIO線対GIOを介して選択されたメモリセルへデータが書込まれる。この上述の動作を繰返すことにより、1行のワード線に接続されるすべてのメモリセルへの連続アクセスが可能となる。ここで、ライト用レジスタからのデータ転送タイミングに関して、ラップ長の間でデータを転送する場合には、8ビットラップデータが書込まれた時点におけるクロック信号の立上がりに対応してライト用レジスタの活性化信号が発生されてデータの書込が行なわれる。最終ラップデータが書込まれた場合には、通常データ書込タイミングと同様最終ラップデータが書込まれた後のクロック信号の立上がりエッジでデータの転送が行なわれる。この場合、最終ラップデータが書込まれた時点におけるクロック信号の立上がりエッジでデータの書込が実行されてもよい。

【0130】図35に示す構成においては、選択回路402は、クロック数選択回路のラップ長データに従って常時カウンタ400の出力を選択している。この場合、最初のサイクルにおいてはコラムアドレスバッファ26aの出力を選択し、次のサイクルにはカウンタ400の出力を選択するように構成されてもよい。なおこの図34ないし36に示す構成においてはデータ書込に対するラップ長の拡張の構成のみを示している。しかしながら、この場合ライト用レジスタの代わりにリード用レジスタを用いれば同様にデータ読出時におけるラップ長をも拡張することはできる。すなわち、連続リードサイクルにおいて、メモリアレイの動作は連続データ書込時と同様である。ライト用レジスタ活性化信号に代えてリード用レジスタ活性化信号が利用されるだけである。連続リードサイクルにおいては、出力バッファを介して8ビット目のラップデータが読出された時点で、次の8ビットラップデータがリード用レジスタに格納される。リード用レジスタからのデータ読出と平行してメモリアレイにおいて、次のラップデータ用のための列選択動作が実行される。

【0131】ラップ長8に標準設定されたSDRAMにおいて、ラップ長4を設定する場合、バンクの数が增加される構成が利用されてもよく、またバンク数を2としたままで、マスクデータを用いて4ビットのラップデータのみの書込が行なわれてもよい。データ読出時には、ラップアドレスにより、この4ビットラップデータの先頭アドレスが指定されるため、マスクデータなどを特に用いる必要はなく、4ビット目のデータが読出された時点でデータの読出が終了される。

【ピン配置】図37はこの発明に従うSDRAMを収納するパッケージの外観を示す図である。この発明による16MSDRAMは、44ピン、リードピッチ0.8m

56

m, 400mil, TSOP Type IIに収納される。このパッケージは、標準16MDRAMが収納されるSOJ（シングルアウトラインジェイリーディットパッケージ）などと同じ大きさでありながら、リードピッチが小さく、ピン数を多くとれるという長所を有する。

【0132】図37において、このパッケージに収納されるSDRAMは、ボンディングワイヤの切替により、×4構成と×8構成を実現する。ピン番号1、22に電源電位Vccが与えられる。データ入出力端子はパッケージ中央部に配置され、ピン番号9、10、12、13、32、33、35および36のピン番号のピン端子がデータ入出力端子DQ0～DQ7として利用される（ただし×8構成の場合）。データ入出力端子DQ0、DQ1およびDQ7ならびにDQ6を挟んで、入出力バッファに用いられるための電源電位Vcc(Q)を受けるピン端子（番号11および34）と、接地電位Vss(Q)を受けるピン番号8および37のピン端子が配置される。このデータ入出力に対して入出力バッファ専用

に用いられる電源電位Vcc(Q)およびVss(Q)を利用することにより、高速でデータの入出力を行なう際に生じるデータ入出力端子の充放電に伴うノイズを効果的に低減することができ、内部動作の安定化を保證する。

【0133】パッケージの両端のピン番号1および22のピン端子には電源電位Vccが与えられ、ピン番号23および44のピン端子には接地電位Vssが与えられる。ピン番号2のピン端子には書込許可信号/WEが与えられ、ピン番号3のピン端子には外部ロウアドレスストロブ信号/RASが与えられる。ピン番号4の端子へはクロックイネーブル信号/CKEが与えられる。ピン番号5のピン端子にクロック信号CLKが与えられる。アドレス信号ビットA0～A11は、ピン番号18ないし21、24ないし29、17および16へそれぞれ与えられる。ピン番号16へ与えられるアドレス信号ビットA11は、バンク選択信号BSとして利用される。すなわちこの場合、2バンク構成が利用される。このアドレスピン端子16ないし29へ与えられるアドレス信号は行アドレス信号と列アドレス信号とが時分割して与えられる。×8構成においては、アドレス信号ビットA0～A8またはA0～A9が列アドレス信号として用いられる。いずれが用いられるかは、内部のリフレッシュサイクルにおけるリフレッシュ単位により決定される。

【0134】ピン番号41のピン端子へはライトマスク指示信号WMが与えられ、ピン番号42のピン端子には出力許可信号（出カイネーブル信号）/OEが与えられ、ピン番号43のピン端子にはコラムアドレスストロブ信号/CASが与えられる。ピン番号7、38のピン端子へ与えられる電圧VTおよびピン番号15および30のピン端子へ与えられる電圧Vrefは、このSD

(30)

特開平6-318391

57

RAMがGTLインターフェースで利用される場合に必要とされる基準電位である。GTLレベルとは、“H”および“L”の比較基準電位が0.8Vであり、その信号の論理振幅が0.8Vのレベルの信号である。近年、高速で動作するマイクロプロセッサにおいて提案されている。ピン番号6、39、40のピン端子は未使用であり、その仕様は定義されていない。

【0135】×4構成の場合には、ピン端子12、13、32および33のピン端子（データ入出力端子）はマスクデータ入出力端子として利用される。このマスクデータM0～M3は、特定のデータ入出力ピン端子を介してのデータの書込に対しマスクをかける。このようなライトパービット動作を実現する構成は、容易に実現することができ、データ入出力端子へ同時にマスクデータが与えられてその入力バッファを不活性状態にする構成が利用されてもよい。またこれに代えて、特定のたとえばWCBR条件下においてマスクデータを取込んで内部のレジスタ回路でラッチしておき、連続アクセス中はそのレジスタに保持されたマスクデータに従って特定のデータ入出力端子を介して与えられるデータを無効とするかまたは入力バッファを不活性状態に維持する構成が利用されればよい。

【0136】〔第2型式のSDRAM〕先に示した同期型半導体記憶装置においては、外部から与えられるクロック信号に同期して制御信号、アドレス信号および入力データなどの装置内部への取込みが実行されている。同期型半導体記憶装置は複数のバンクを備えている。このバンクを交互にアクセスすることにより、インターリーブ方法をSDRAM内部で実現することができる。メモリサイクルは制御信号/RASの活性化期間（“L”の期間）で決定されている。バンクを切替えるためには、この制御信号/RASを一旦“H”の不活性状態に立上げる必要がある。バンクアドレスを設定するためである。連続的にバンク#1およびバンク#2を交互にアクセスするためには2つの方法が考えられる。

【0137】第1の方法は、バンク#1およびバンク#2に対しそれぞれ独立に制御信号/RASを設けることである。第2の方法は、外部制御信号をすべてワンショットのパルスにする方法である。動作モードの指定は、この外部制御信号の状態の組合せで決定する。動作モードを指定する必要があるときのみ制御信号を所定の組合せに設定する。SDRAM内部ではこの設定された動作に従って必要な動作が実行される。このように制御信号をパルス化することにより、制御信号/RASに従ってアドレス信号を取込む場合においても、一方のバンクにアクセス中に他方のバンクをプリチャージすることが可能となる。またこの制御信号をすべてパルス化する方式は、制御信号がアドレス信号と同様の信号形態となり、制御信号の生成が極めて容易となるという利点をも合わせて有する。必要とされる信号をすべて同一の形態の信

58

号で生成すればよく、外部処理装置に余分の負荷をかける必要がないためである。以下この制御信号をパルス方式とする構成について説明する。

【0138】〔信号の定義〕信号はすべてパルス化されており、実行される動作は制御信号の組合せにより決定される。まず、各制御信号の状態とそのときに行なわれる動作モードとの対応関係について説明する。図38は、このパルス方式同期型半導体記憶装置のピン配置を示す図である。図38に示す同期型半導体記憶装置は、第1の同期型半導体装置と同様、1ワードが4ビットの構成と、1ワードが8ビットの構成を備える。ワード構成の設定はパッドのボンディングにより実現される。ピン番号1、5、9、22、36、および40のピン端子へ動作電源電圧Vccが与えられる。ピン番号5、9、36、および40へ与えられる動作電源電圧Vcc（図38においてはVccQと示す）は、入出力回路（特に、入出力バッファ）に利用される。ピン番号3、7、23、38、および42のピン端子へ接地電位Vssが与えられる。ピン番号3、7、38、および42へ与えられる接地電位Vss（図38において符号VssQで示す）は入出力回路に利用される。動作電源電圧を入出力回路用と残りの回路用と2つに分けているのは、電源線および接地線におけるノイズの発生を防止するためである。特に、入出力回路用に動作電源電圧VccQのためのピン端子および接地電位VssQのためのピン端子をそれぞれ4つ設けているのは、グラウンドバウンスなどによるノイズの発生を確実に防止するためである。電源線および接地線を分散させることにより、配線の寄生インダクタンス成分を低減し、リングングの発生を防止する。またスパイクノイズが発生してもそのスパイクノイズの影響をごく部分的に抑制する。

【0139】ピン番号2、4、6、8、37、39、41および43のピン端子はデータ入出力のために用いられる（1ワード8ビットの構成の場合）。1ワードが4ビット構成の場合、ピン番号2、6、39および43のピン端子はマスクデータM0～M3を入力するために利用される。ピン番号17ないし21および24ないし29のピン端子はアドレス信号入力端子として用いられる。ピン番号16のピン端子へはバンクを指定するためのバンクアドレスBAが与えられる。ピン番号12のピン端子へライトイネーブル信号/WEが与えられる。ピン番号13のピン端子へ列アドレスストロブ信号/CASが与えられる。ピン番号14のピン端子へ行アドレスストロブ信号/RASが与えられる。ピン番号33のピン端子へデータ入出力/マスク信号DQMが与えられる。この信号DQMは先の実施例における出力カインーブル信号/OEおよびライトマスク信号WM両者の組合せに対応する。ピン番号32のピン端子へクロック信号CLKが与えられる。ピン番号31のピン端子へ、クロック信号CLKを取込み内部クロック信号を発生するク

(31)

特開平6-318391

59

ロックバッファの活性化／不活性化を制御するためのクロックバッファイネーブル信号／CKEが与えられる。ピン番号15のピン端子へは半導体記憶装置が選択状態であることを示すチップセレクト信号／CSが与えられる。

【0140】これらの制御信号はパルスの形態で動作モードを指定するサイクルにおいてのみ与えられる。すべての制御信号、アドレス信号およびデータはすべてクロック信号CLKの立上がりエッジで内部に取込まれる。制御信号／WE、／CAS、／RAS、／CSおよびDQMのクロック信号CLKの立上がりエッジにおける状態の組合せに従って装置内部で指定された動作モードの判別が実行される。次にこの制御信号と指定された動作モードとの対応関係について説明する。図39は、制御信号の状態とそのときに指定される動作モードとの対応関係を示す図である。以下、図39を参照して、制御信号と動作モードとの関係について説明する。

(a) /CS=/RAS="L" かつ /CAS=/WE="H"

この状態では、行アドレスの取込みが指定されかつアレイの活性化が指定される。すなわち、行アドレスを取込みかつ併せてバンクアドレスも取込み選択されたバンクにおいて行選択に関連する動作が実行される。

【0141】(b) /CS=/CAS="L" かつ /RAS=/WE="H"

この状態では列アドレスの取込みが指定されかつデータ読出動作モードが指定される。この動作モードにおいては、読出データレジスタが選択され、選択されたメモリセルの読出データレジスタへのデータ転送動作が実行される。

(c) /CS=/CAS=/WE="L" かつ /RAS="H"

この状態は、列アドレスの取込みおよびデータ書込動作を指定する。この動作モードにおいては、書込レジスタの活性化が行なわれ、与えられたデータの書込レジスタおよび選択メモリセルへの書込が行なわれる。

(d) /CS=/RAS=/WE="L" かつ /CAS="H"

アレイがプリチャージ状態とされかつセルリフレッシュの終了が指定される。

【0142】(e) /CS=/RAS=/CAS="L" かつ /WE="H"

この状態ではリフレッシュが指定されかつセルフリフレッシュ動作が開始される。この動作モードにおいては、内部でリフレッシュアドレスの生成および選択行におけるメモリセルのリフレッシュが、内蔵されたアドレスカウンタおよびタイマを用いて実行される。

(f) /CS=/RAS=/CAS=/WE="L"

この動作モードにおいては、モードレジスタにデータがセットされる。このモードレジスタは、特に説明してい

60

ないが、同期型半導体記憶装置における固有の動作モードを指定するためにモードレジスタが設けられており、このモードレジスタに設定されたデータに従って、所望の動作が実行される。このようなモードレジスタの用途としては、先の実施例におけるラップ長の設定、ラップ長シーケンスの設定などがある。

【0143】(g) DQM="L"

この動作モードにおいては、先に信号／CASおよび／WEにより決定された動作モードにおいて、データの書込または読出が実行される。すなわち、外部から与えられた書込データの書込レジスタへの格納または読出データレジスタに格納されたデータの読出が実行される。

(h) DQM="H"

この動作モードにおいては、データの読出が不活性价とされ、かつライトマスク動作（連続ビットデータ（ラップデータ）におけるマスク動作）が指定される。書込データに対するマスキングは、この信号DQMが"H"となった次のクロック信号CLKの立上がりエッジにおいて与えられたデータに対し行なわれる。1クロック遅らせて書込データにマスクをかけることにより、制御信号のタイミング設定が容易となる。

【0144】(i) /CS="L" かつ /RAS=/CAS=/WE="H"

この状態においては動作に変化はない。どの動作モードも指定されない。半導体記憶装置が選択状態にあり先に指定された動作を実行しているだけである。

(j) /CS="H"

この状態においては、SDRAMは非選択状態であり、信号／RAS、／CAS、および／WEは無視される。ここで、図39において符号"ー"で示される信号状態は「ドントケア」状態、および"X"は「任意」状態を示す。次に具体的動作について説明する。

〔具体的動作シーケンス〕

1. データ読出

図40は、第2型式のSDRAMのデータ読出時における動作を示す外部信号の状態を示すタイミングチャート図である。以下、データ読出動作について説明する。

【0145】サイクル1において、クロック信号CLKの立上がりエッジにおいて、信号／RASが"L"、信号／CASおよび／WEがともに"H"に設定される。このとき、行アドレス信号ビットA0～A10が行アドレス信号Xaとして取込まれ内部アドレスが生成される。このとき同時に、バンクアドレス信号BAも取込まれる。バンクアドレス信号BAは"0"である。この場合、バンクアドレスBAに対応するバンクが選択される。バンクアドレスに合わせてSDRAMはバンク0およびバンク1を有すると想定する。バンク0において、行デコード動作およびアレイの活性化が実行される。1クロック置いて、サイクル3において、クロック信号CLKの立上がりエッジで信号／RASおよび／WEが

(32)

特開平6-318391

61

“H”に設定され、信号/CASが“L”に設定される。この状態は、データの読出を示しかつこのサイクル3のクロック信号CLKの立上がりエッジでアドレス信号ビットA0～A10が列アドレス信号Ybとして取込まれる。これにより内部で行アドレス信号Xaおよび列アドレス信号Ybに従う行および列の選択動作が実行され、選択されたメモリのセルのデータが読出データレジスタへ格納される。6クロックサイクル後のサイクル7においてデータが読出される。この場合、信号DQMが予め“L”に設定される。これによりデータ読出が可能となる。

【0146】サイクル7において、読出用レジスタに格納された8個のデータが順次クロック信号CLKの立上がりエッジに同期して読出される。連続8ビットのデータをb0～b7として示す。このデータ読出と並行して、サイクル7においてクロック信号CLKの立上がりエッジで信号/RASおよび/WEを“L”に設定し、信号/CASを“H”に設定する。このとき併せてバンクアドレスBAが“0”に設定される。これによりバンク0のプリチャージが指定され、バンク0のアレイのプリチャージが実行される。ここで、信号DQMはデータ読出時において2クロックサイクル遅れて読出用レジスタの活性化/不活性化を制御する。データの読出のための制御信号のタイミング設定を容易とするためである。出力バッファおよびリードレジスタのシフトの制御をこの信号DQMが“L”となってから2クロック経過した後には活性化する構成が利用されればよい。この構成は、信号DQMを2クロック期間遅延させる遅延回路を利用することにより容易に実現される。

【0147】プリチャージ状態に入ったバンク0は所定のRASプリチャージ期間（2ないし3クロックサイクル）が経過した後再び活性化することができる。サイクル11においてクロック信号CLKの立上がりエッジで、信号/RASが“L”、信号/CASおよび/WEがともに“H”となる。バンクアドレス信号BAは“0”となる。バンク0が再び活性化される。同時に行アドレス信号Xcの取込みが実行される。サイクル13におけるクロック信号CLKの立上がりエッジで信号/CASが“L”、信号/RASおよび/WEがともに“H”に設定される。列アドレス信号Ydの取込みが行なわれるとともにデータ読出動作が指定される。バンク0において、行アドレスXcおよび列アドレスYdに従って選択動作が実行され、選択されたメモリのセルのデータが再び読出データレジスタへ転送される。データの出力は信号/RASが“L”に入ったメモリサイクルの開始から6クロックをカウントした後に実行される。この状態においては、信号DQMは“L”となっており、出力インエーブル状態を示している。

【0148】サイクル17においてクロック信号CLKの立上がりエッジでアドレスXcおよびYdにより選択

62

された8個のデータd0～d7が順次クロック信号CLKの立上がりに対応して読出される。サイクル17において同時に信号/RASおよび/WEを“L”とし、バンクアドレス信号BAを“L”とする。これによりバンク0は再びプリチャージ状態に入る。次にサイクル19において、信号/RASを“L”、信号/CASおよび/WEを“H”とし、バンクアドレスBAを“1”とする。この状態においてはバンク1が選択され、そのときに与えられていたアドレス信号ビットA0～A10が行アドレスXeとして取込まれる。これにより、バンク1において行アドレスXeに従った行選択動作が実行される。

【0149】サイクル21におけるクロック信号CLKの立上がりエッジで信号/RASおよび/WEを“H”に設定しかつ信号/CASを“L”に設定する。これによりバンク1に対するデータ読出動作が指定される。このとき同時に、列アドレスYfが取込まれる。信号DQMは“L”の状態にあり出力インエーブル状態を示している。バンク0からデータd7が読出された後、次のクロックサイクル25のクロック信号CLKの立上がりエッジでバンク1からのデータf0が読出される。このときまた信号/RASが“L”、信号/WEが“L”および信号/CASが“H”に設定され、バンクアドレス信号BAが“1”であり、バンク1のプリチャージが指定される。データレジスタからは続いてバンク1のデータが読出される。バンク1においてはプリチャージが実行される。

【0150】サイクル28において、再び信号/RAS“L”、信号/CASおよび/WEを“H”に設定し、バンクアドレス信号BAを“0”と設定することによりバンク0が再び活性化される。サイクル28のクロック信号CLKの立上がり時において、クロックバッファインエーブル信号/CKEを“H”に設定する。信号/CKEはクロックバッファをインエーブル/ディセーブルする信号である。信号/CKEが“H”となると、読出用レジスタにおけるレジスタのシフトクロックの発生が次のクロックサイクルにおいて禁止される。すなわち、サイクル29において読出されたデータf4が次のサイクル30においても連続して読出される。これにより、SDRAM外部において、データを処理している装置においてデータの処理速度がこのデータ読出に追従できないかまたは必要なデータが揃わない場合にこのクロックバッファインエーブル信号/CKEを“H”と設定することにより所定期間同一データを出力し続けることができる。この動作は“サスペンデッドアウトプット”と呼ばれる。

【0151】サイクル30において、バンク0における列アドレスYhの取込みが行なわれ、サイクル34においてバンク0のプリチャージが実行される。上述のように、信号/RASをパルス方式で印加することにより、

(33)

特開平6-318391

63

動作サイクルの最初の期間のみ制御信号/RAS、/CASおよび/WEを所定の状態に組合せることにより動作モードが指定されるため、容易にバンクの切換を行なうことができ、バンク0の活性化時にバンク1のプリチャージを行なうことができる。したがって、RASプリチャージ時間を考慮する必要がなく、連続して交互にバンク0およびバンク1からデータを読出すことができ、高速でデータを読出すことが可能となる。また「サスペンデッドアウトプット」動作モードを設けることにより、容易に連続データ読出中においても処理装置の動作速度に併せてデータの取込みを行なうことが可能となり、システムのタイミング設計が容易となる。ここで、外部から見た場合、信号/CKEが“H”となってから2つ目のクロック信号が消去されているように示される。これは内部的には、次のクロック信号の立上がりエッジでレジスタのシフト動作が実行されるため、内部的には信号/CKEが“H”となった次のサイクルのクロックが消去される。

2. データ書込

図41はこの第2型式のSDRAMのデータ書込動作を示す図である。書込動作は信号/CASの立下がりと同時に信号/WEを“L”と設定することにより指定される。図41においては、まずバンク0に対するデータ書込動作が指定される。この状態においては、信号/CASおよび/WEの“L”への設定と同時に書込レジスタへのデータの書込すなわち外部データの取込みが実行される。

【0152】書込動作時においては信号DQMは内部的には、1クロック遅れてデータの取込みをイネーブル/ディセーブルする。データ書込時においては、入力バッファへのデータの取込みを書込指示と同時に進めなければいけずであるためである。このときまだ書込レジスタの状態が完全にリセットされていなくてもよい。次のクロックサイクルまでにレジスタのリセット状態が確定し、データb0の書込が行なえればよいのである。このため読出動作時と異なり信号DQMはデータ書込よりも1クロック遅れてデータ書込のイネーブル/ディセーブルを制御する。データ読出時においては、メモリサイクル開始後クロック信号CLK6個カウントした後に読出動作が行なわれる。このときまでに出力バッファを動作可能状態としておく必要があるとともに、レジスタから与えられたデータを出力バッファに取込み読出す必要がある。このため信号DQMは書込モード時より早くイネーブルされる。

【0153】信号DQMを“H”に設定すると、次のクロックサイクルで与えられる書込データに対しマスクがかけられる。1クロックサイクル遅れたデータに対しマスクがかけられるのは、タイミングの設定を容易とするためである。この1クロック遅れてデータに対しマスクをかける構成は、図24に示す構成において、書込マ

64

クデータWMが1クロック遅れてライトマスクデータ発生回路へ与えられる構成が利用されればよい。この1クロック遅れたデータに対しマスクをかける構成とすることにより、ラップアドレスデコードからのラップアドレスに対するタイミング設計が容易となる。このデータ書込モード時においても、信号/CKEを“H”に設定すると、次のクロックサイクルで与えられるデータf6がその次のクロックサイクルにおいても引き続き入力される。書込用レジスタにおけるレジスタのシフト動作が禁止される。これにより、データ書込時において、必要なデータが揃ったときにデータを書込むことが可能となる。この動作は「サスペンデッドインプット」と呼ばれる。

【0154】各命令およびアドレス信号は外部クロック信号CLKの立上がりエッジで取込まれる。命令およびアドレス信号はいつ与えられるか予め想定することはできない。このため、外部クロック信号CLKの立上がりエッジでこれらの外部制御信号を取込み内部制御信号を発生し状態を安定させる必要がある。このための入力部の構成について次に説明する。

【制御信号バッファ】図42は、信号/RAS、/CASおよび/WEを外部クロック信号CLKに同期して取込むバッファ回路の構成を示す図である。図42においては、外部信号と内部信号とを区別するために、外部信号に対しては符号“ext.”を付す。

【0155】図42において、RASバッファは、外部制御信号ext./CSが“L”のときに活性化され、外部クロック信号ext. CLKに同期して外部制御信号ext./RASを取込み内部制御信号/RASを発生する。CASバッファ504は、外部制御信号ext./CSの“L”に応答して活性化され、外部クロック信号ext. CLKの立上がりエッジで外部制御信号ext./CSを取込み内部制御信号/CASを発生する。WEバッファ506は、外部制御信号ext./CSの“L”に応答して活性化され、外部クロック信号ext. CLKの立上がりエッジで信号ext./WEを取込み内部信号/WEを発生する。図43は、内部アドレス信号を発生するための回路構成を示す図である。図43において、クロックバッファ508は、外部クロック信号ext. CLKをバッファ処理して内部クロック信号CLKを生成する。状態デコーダ510は、内部制御信号/RAS、/CSおよび/WEをこのクロックバッファ508からの内部クロック信号CLKの立上がりエッジで取込みその信号の状態を判別し、必要な内部制御信号を生成する。状態デコーダ510は、信号/RAS、/CASおよび/WEがアドレス信号の取込みを指定している場合には、アドレスバッファ512を活性化する。アドレスバッファ512は、この状態デコーダ510からのデコード結果信号に従って外部クロック信号ext. CLKの立上がりエッジで外部アドレス

(34)

特開平6-318391

65

t. A1を取込み内部アドレスA1（バンクアドレスBAを含む）を生成する。

【0156】内部制御信号発生系 図44は、第2型のSDRAMの内部制御信号発生系の構成を概略的に示すブロック図である。図44においては、メモリアレイは第1のバンク（バンク0）600aと第2のバンク（バンク1）600bと2つのバンクを含む。このバンク600aおよび600bは、図1に示す回路部分200を含む。図44においては、図面の煩雑化を避けるために、内部制御信号はバンク600aおよび600b共通に発生するように示される。バンクアドレス信号BAに従って一方のバンクのみが活性化され、活性化されたバンクに対してのみ制御信号が与えられる。バンク600aおよび600bの内部構成は先の実施例のものと同様である。

【0157】図44において、内部制御系は、外部制御信号ext./CSをバッファ処理して内部制御信号/CSを発生するCSバッファ614と、外部から与えられるクロックバッファイネーブル信号ext./CKEにตอบสนองして制御信号CLKBEおよび/CKEを発生するCKEバッファ612と、制御信号CLKBEおよび/CKEにตอบสนองして活性化され、外部からのクロック信号ext. CLKをバッファ処理して内部クロック信号CLK1およびCLK2を発生するクロックバッファ610を含む。CKEバッファ612は、外部制御信号ext./CKEが不活性化状態のとき（“H”レベルのとき）、クロックバッファ610からのクロック信号CLK1およびCLK2の発生を停止させる。CKEバッファ612はクロックバッファ610からの第1の内部クロック信号CLK1に同期して外部制御信号ext./CKEを取込み内部制御信号/CKEを発生する。制御信号/CKEはクロックバッファ610へまた与えられる。クロックバッファ610はこの内部制御信号/CKEにตอบสนองして、外部クロック信号ext. CLKに同期した第2の内部クロック信号CLK2を発生する。CKEバッファ612はまた、特殊モードが設定されたとき、外部制御信号ext./CKEをクロック信号CLK1（すなわち外部クロック信号ext. CLK）と非同期で取込み制御信号CLKBEを発生しかつクロック信号CLK1およびCLK2の発生を禁止する。

【0158】すなわち、クロックバッファ610は、CKEバッファ612からの制御信号CLKBEおよび/CKEを並列に受け、その活性化/不活性化が制御される。制御信号CLKBEおよび/CKEの一方が活性化状態にあれば、クロックバッファ610は内部クロック信号を発生する。特殊モードが指定されたときのみクロックバッファ610の内部クロック信号の発生が停止される。ここで、クロックバッファ610から第1の内部クロック信号CLK1および第2のクロック信号CLK2と2つのクロック信号が発生されているのはセルフリフ

66

レッシュ時、およびスタンバイ動作時において不必要なバッファ回路の動作を禁止するためである。すなわち第1の内部クロック信号CLK1は、外部制御信号ext./RAS、ext./CASおよびext./WEなどの制御信号を取込むために用いられる。第2の内部クロック信号CLK2はデータの入出力を制御するために利用される。この第2のクロック信号CLK2をデータの入出力制御系のみを与えることにより、前述のサスペンデッドインプット動作およびサスペンデッドアウトプット動作を実現することができる。

【0159】SDRAMはさらに、CSバッファ614からの内部制御信号/CSにตอบสนองして活性化され、外部制御信号ext./RAS、ext./CAS、ext./WEおよびext. DQMを取込み内部制御信号を発生する第1の制御信号発生回路616と、第1の制御信号発生回路616からの制御信号にตอบสนองして、選択されたアレイを駆動する制御信号を発生する第2の制御信号発生回路618と、第1の制御信号発生回路616からのリフレッシュ指示にตอบสนองしてリフレッシュ動作を行なうリフレッシュ回路620を含む。第1の制御信号発生回路616は、第1の内部クロック信号CLK1にตอบสนองして外部制御信号ext./RAS、ext./CAS、およびext./WEを取込みそのときの信号の状態の組合せにより指定された動作モードを判別する。この判別結果に従って、第1の制御信号発生回路616は、書込制御信号φW、読出制御信号φO、行選択制御信号φRおよび列選択制御信号φC、行アドレスバッファ活性化信号RADEおよび列アドレスバッファ活性化信号CADEを発生する。第1の制御信号発生回路616はまた外部制御信号ext. DQMを第1の内部クロック信号CLK1の立上がりエッジで取込み、入出力バッファをイネーブル状態とする。

【0160】第2の制御信号発生回路618は、第1の内部クロック信号CLK1およびバンクアドレス信号BAを受け、第1の制御信号発生回路616からの制御信号に従って、センスアンプ活性化信号φSA、プリアンプ活性化信号φPA、書込用レジスタ活性化信号φWB、入力バッファ活性化信号φDB、および出力バッファイネーブル信号φOEを発生する。第2の制御信号発生回路618から発生される制御信号φWB、φDBおよびφOEは、第1の内部クロック信号CLK1により決定される。すなわち、内部クロック信号CLK1の所定のカウンタ数に従ってこれらの制御信号φWB、φDBおよびφOEが発生される。リフレッシュ回路620は、第1の制御信号発生回路616からのリフレッシュ指示に従ってリフレッシュアドレスSRAを発生するとともに、アドレスバッファから与えられる内部行アドレスXaに代えてこのリフレッシュアドレスSRAをバンク600aおよび600bへ与える（バンク600aおよび600bが同時にリフレッシュされる場合）。リフ

(35)

特開平6-318391

67

レッシュ回路620は、このリフレッシュアドレスを発生するためのアドレスカウンタ、およびリフレッシュアドレスと通常の内部行アドレスとを切換えるためのマルチプレクサを含む。

【0161】リフレッシュ間隔を規定するタイマは第1の制御信号発生回路616に含まれる。リフレッシュ回路620からのリフレッシュアドレスSRAは、後に説明するアドレスバッファ624へ与えられ、アドレスバッファ624の前段にこのリフレッシュアドレスSRAと通常の外部アドレスext. Aとを切換えるマルチプレクサが設けられてもよい。この場合、第1の制御信号発生回路616が、リフレッシュ指示が与えられた場合には、行アドレスバッファ活性化信号RADEおよび行選択制御信号φRを発生する。SDRAMはさらに、第1の制御信号発生回路616からの行アドレスバッファ活性化信号RADEおよび列アドレスバッファ活性化信号CADEにตอบสนองして活性化され、外部アドレス信号ext. Aをそれぞれ行アドレス信号および列アドレス信号として取込み内部行アドレス信号Xaおよび内部列アドレス信号Yaおよびバンクアドレス信号BAを発生するアドレスバッファ624と、第2の内部クロック信号CLK2にตอบสนองして動作し、アドレスバッファ624からの所定のビットの内部列アドレス信号Ymを受けて図1に示すリード用レジスタおよびライト用レジスタを制御する信号すなわち、ラップアドレスWY、リードレジスタ駆動信号φRrおよびライト用レジスタ駆動信号φRWを発生するレジスタ制御回路622を含む。このレジスタ制御回路622を第2の内部クロック信号CLK2に同期して動作させることにより、第2の内部クロック信号CLK2の発生を停止させた場合に、先に説明したサスペンディッドインプットおよびサスペンディッドアウトプットの動作を実現することができる。制御信号φRrまたはφRWが第2の内部クロック信号CLK2が与えられない場合発生されないため、レジスタにおけるシフト動作が行なわれないためである。

【0162】この図44に示すように、第1の制御信号発生回路616への入力としてクロックバッファの活性化／非活性化を制御する制御信号ext. /CKEを設け、この制御信号によりクロックバッファのバッファの動作を制御する。クロックバッファ610からは外部クロック信号ext. CLKに同期した内部クロック信号CLK1およびCLK2が生成される。外部制御信号ext. /RAS等を取込む第1の制御信号発生回路616は、第1の内部クロック信号CLK1に同期して(すなわち外部クロック信号ext. CLKに同期して)外部制御信号を取込む。CSバッファ614はこの第1の内部クロック信号CLK1に立上がりエッジで外部制御信号ext. /CSを取込む。第1の制御信号発生回路616はこの内部制御信号/CSが活性状態のときのみ外部制御信号を取込む。内部クロック信号CLK1が発

68

生されない場合、第1の制御信号発生回路616およびCSバッファ614における外部制御信号の取込みは行なわれない。これにより、外部制御信号を取込むバッファ回路を常時動作させる必要がなくなり、消費電力を低減することができる。また、クロック信号CLK1が発生されている場合においても、内部制御信号/CSが不活性状態にあれば、内部制御信号ext. /RASなどの取込みは行なわれないため、同様消費電力を低減することができる。

【0163】またアドレスバッファ624は、内部制御信号RADEおよびCADEが発生されたときのみ外部アドレス信号ext. Aの取込みを行なう。したがってアドレスバッファ624もアドレス指定が行なわれたときのみアドレスの取込みおよびラッチを行なうため、外部クロック信号ext. CLKの各サイクルで動作することがなくなり、消費電力が低減される。またクロックバッファ610においては、CKEバッファ612からの制御信号CLKBEおよび/CKEに従って必要なときのみ活性状態とされる。これにより、クロックバッファ610はSDRAMがアクセスされないスタンバイ状態時などにおいて外部クロック信号ext. CLKの取込みを禁止できる。これにより必要時においてのみ内部クロック信号CLK1およびCLK2が発生されるため、外部クロック信号ext. CLKを常時取込む動作を行なう必要がなくなり、同様消費電力が低減される。

【0164】[データ読出回路系] 図46ないし図47は図1および図45に示すSDRAMのデータ読出回路系の構成を示す図である。図45に示すように、SDRAM700は、2つのバンク#Aおよび#Bと、バンク#Aおよび#Bに共通に設けられる出力バッファ702を含む。図45においては、データ入出力端子DQ0～DQ7が示され、8ビット単位でのデータの入出力を行なう構成が一例として示される。出力バッファ702は、読出制御信号OEMにตอบสนองして活性状態とされ、選択されたバンクから伝達されるデータを受けて読出データを生成し、データ入出力端子DQ0～DQ7へ伝達する。図46は、バンク#Aのデータ読出部分の具体的構成を示す図である。図46においては、1つのデータ入出力端子DQに関連する部分の構成を示す。図46において、バンク#Aは、8個のグローバルIO線対GIO0A～GIO7Aそれぞれに対応して設けられ、プリアンブイネーブル信号PAEAにตอบสนองして対応のグローバルIO線対上のデータを増幅しかつラッチするリードレジスタRG0A～RG7Aと、リードレジスタRG0A～RG7Aそれぞれに対応して設けられ、ラップアドレスRWY0、/RWY0～RWY7、/RWY7にตอบสนองして対応のリードレジスタの保持するデータを反転増幅する3状態インバータバッファTB0A～TB7Aと、インバータバッファTB0A～TB7Aから伝達されるデータをラッチするラッチ回路LA-Aと、インバータ

(36)

特開平6-318391

69

バッファTB0A~TB7Aから伝達されたデータ（ラッチ回路RA-Aにラッチされている）を反転増幅して出力バッファへ伝達する3状態インバータバッファTB8Aを含む。インバータバッファTB8AはバンクアドレスBAに従って発生されるバンク指定信号BAAおよびBABにตอบสนองして活性化される。

【0165】図47は、図45に示すバンク#Bのデータ読出系の構成を示す図である。バンク#Bはバンク#Aと同様の構成を備える。すなわち、バンク#Bは、プリアンブイネーブル信号PAEBにตอบสนองして活性化され、対応のグローバルIO線GIO0B~GIO7B上のデータを増幅しラッチするリードレジスタRG0B~RG7Bと、ラップアドレスにตอบสนองして活性化され、対応のリードレジスタRG0B~RG7Bの出力を反転増幅する3状態インバータバッファTB0B~TB7Bと、インバータバッファTB0B~TB7Bの出力をラッチするラッチ回路LA-Bと、ラッチ回路LA-Bのラッチデータを反転増幅する3状態インバータバッファTB8Bを含む。インバータバッファTB8Bは、バンク指定信号BAAおよびBABにตอบสนองして活性化され、その反転増幅したデータを出力バッファへ伝達する。次にこの図45ないし47に示すSDRAMのデータ読出動作についてその動作波形図である図48を参照して説明する。

【0166】図48においては、レイテンシが3、ラップ長が4の場合のデータ読出動作波形が示される。ここで、レイテンシは列アクセスが行なわれてから有効データがデータ入出力端子DQ（図48においては符号Qで示す）に現われるまでに必要とされるクロックサイクル数である。列アクセスの開始は信号/CASがクロック信号CLKの立上がりエッジにおいて“L”に設定することにより指定される。この列アクセスサイクルは図1および図44に示すSDRAMの構成のいずれにおいても同様である。このため信号/RASについては示さない。信号/RASはそれぞれの動作方式に従って列アクセス指定の前に設定される。第1サイクル（クロック番号1）において、信号/CASが“L”に立下げられる。ライトイネーブル信号/WEは“H”にありデータ読出が指定される。このとき同時に与えられるアドレス信号YaおよびバンクアドレスBAに従ってバンク#Aが指定される。すでに信号/RASにより行アクセスは実行されている。この列アクセス指示（列選択動作指示）に従ってバンク#Aにおいて列選択動作が実行され、選択されたメモセルのデータがグローバルIO線対GIO0~GIO7上に伝達される。

【0167】グローバルIO線対GIO0~GIO7上のデータが確定すると、プリアンブイネーブル信号PAEAが“H”に立上がる。このプリアンブイネーブル信号PAEAの発生タイミングもレイテンシに合わせて設定され、第3サイクル（クロック番号3）のクロックの

70

立上がり同期して発生される。これにより、リードレジスタRG0A~RG7Aに対応のグローバルIO線対上のデータがラッチされる。次いでラップアドレス発生回路からのラップアドレスRWY1が所定のシーケンスに従って第3クロックサイクルから順次ラップ長に対応するクロックサイクル間発生される。この第3クロックサイクルにおいて同様にバンクアドレスBAに従って、バンク指定信号BAAが“H”に立上がり、インバータバッファTB8Aが作動状態となる。ラップアドレスにより活性化状態とされたインバータバッファTB0A~TB7Aからのデータが出力バッファ702へ伝達される。出力バッファ702へは、信号OEM（図48には示していない）が、バンク指定信号BAAと同様のタイミングで発生される。これにより有効データが第4クロックサイクルから順次出力される。

【0168】第5クロックサイクルにおいて、信号/CASが“L”に立下がり、そのときに与えられるアドレス信号AddおよびバンクアドレスBAに従ってすでに行アクセスが行なわれているバンク#Bに対する列選択動作が実行される。第7サイクルにおいてバンク#Bに対するプリアンブイネーブル信号PAEBが“H”に立上がり、バンク#BにおいてグローバルIO線対GIO0B~GIO7BからリードレジスタRG0B~RG7Bに対するデータ転送およびラッチが実行される。第7クロックサイクルからラップアドレスが順次発生され、選択されたバンク#Bのリードレジスタのデータが出力バッファへ伝達される。これにより、バンク#Bから読出されたデータb1~b4が第8クロックサイクルから順次出力される。このようにバンク#Aおよびバンク#Bを交互にアクセスすることにより両バンク#Aおよび#Bから高速でデータを読出すことができる。このバンク#Aおよび#Bへの連続アクセスは、図44に示すパルス方式のSDRAMであれば容易に実現することができる。また、バンク#Aおよびバンク#Bそれぞれに対し別々の信号/RASが利用される構成が用いられてもよい。

【0169】プリアンブイネーブル信号PAEA（またはPAEB）およびラップアドレスRWY1をそれぞれクロック信号CLKに同期して発生させることにより、メモリアレイからのデータ読出をパイプライン化することができ、高速でデータを読出を行なうことができる。

【バンク指定信号発生系】図49はバンク指定信号BAAおよびBABを発生する回路の構成を示す図である。図49を参照して、バンク指定信号発生系は、クロック信号CLKの立上がり時における信号/CASをラッチするラッチ回路710と、クロック信号CLKの立上がりエッジでバンクアドレスBAを取込むラッチ回路711と、ラッチ回路710からの出力信号（列選択動作指示）にตอบสนองして所定の幅を有するワンショットパルスφrを発生するワンショットパルス発生回路712と、ワ

(37)

特開平6-318391

71

ンショットパルス発生回路712からのワンショットパルスφrに反応して、ラッチ回路711のラッチデータをラッチするラッチ回路713を含む。ラッチ回路710および711は、そのラッチデータがクロック信号CLKの立上がりエッジに従って更新される。ラッチ回路713は、ワンショットパルス発生回路712からのワンショットパルスφrに従ってそのラッチデータが更新される。

【0170】バンク指定信号発生系はさらに、レイテンシ情報を記憶するレイテンシ記憶回路714と、ラップ長データを記憶するラップ長記憶回路716と、ワンショットパルス発生回路712からのワンショットパルスφrに反応して活性化され、レイテンシ記憶回路714およびラップ長記憶回路716に保持されるレイテンシデータおよびラップ長データに従ってカウント動作を行なうカウンタ回路718と、カウンタ回路718からの出力信号をラッチ回路713のラッチデータに従って選択してバンク指定信号BAAまたはBABを発生するBA発生回路715を含む。カウンタ回路718はワンショットパルス信号φrに反応して起動され、レイテンシ記憶回路714に含まれるレイテンシデータが示すクロック数(レイテンシー1)をカウントし、その後活性化状態となる信号を発生する。カウンタ回路718はさらにこの活性化信号を発生した後ラップ長記憶回路716に保持されるラップ長データが示すクロックサイクル期間その活性化状態を維持する。このカウンタ回路718の具体的構成については後に詳細に説明する。出力カインープル信号OEMはカウンタ回路718から発生される。この出力カインープル信号OEMはこのカウンタ718回路からBA発生回路715へ与えられる信号をトリガとして発生される。次にこの図49に示すバンク指定信号発生系の動作についてその動作波形図である図50を参照して説明する。

【0171】第1クロックサイクル(図50において数字1で示す)のクロック信号CLKの立上がりエッジで信号/CASが“L”に立下がる。この状態は列アクセス指示であり、このサイクルからSDRAMにおいては列選択動作が実行される。ラッチ回路710はクロック信号CLKの立上がりエッジで信号/CASをラッチする。ラッチ回路711はこのクロック信号CLKの立上がりエッジでバンクアドレスBAをラッチする。ワンショットパルス発生回路712は、このラッチ回路710からの“L”の信号に反応してワンショットのパルス信号φrを発生する。ラッチ回路713はこのワンショットパルス信号φrに従ってバンクアドレスBAをラッチする(ラッチ回路711から与えられる)。カウンタ回路718はこのワンショットパルス信号φrに反応してクロック信号のカウント動作を開始する。そのカウント値がレイテンシ記憶回路714に記憶されるレイテンシ情報が示すクロックサイクル数(レイテンシー1)に一

72

致したときカウンタ回路718は“H”に立上がる信号を発生する。このときカウンタ718は、ワンショットパルス信号φrを1つのクロック信号としてカウント動作するように構成されてもよい。またカウンタ回路718は、ワンショットパルス信号φrが与えられた後、レイテンシ記憶回路714が記憶するレイテンシ数データが示すクロックサイクル数よりも2少ないクロック信号CLKの立上がりを検出するように構成されてもよい。図50においては、レイテンシが3の状態が示され、かつバンク#Aが指定された場合が示される。

【0172】BA発生回路715はこのカウンタ回路718からの活性化信号に従ってバンク指定信号BAAを発生する。カウンタ回路718はこのときまたこのバンク指定信号BAAをトリガとして出力カインープル信号OEMを発生する。このカウンタ回路718の出力信号の活性化状態はラップ長記憶回路716が記憶するラップ長が示すクロックサイクル間維持される。図50においてはラップ長が4の場合が示されており、第3クロックサイクルから4クロックサイクル経過後の第7クロックサイクルにバンク指定信号BAAおよび出力カインープル信号OEMが“L”に移行する状態が示される。

【リードレジスタ】図51は、図46および図47に示すリードレジスタの具体的構成を示す図である。図51においては、リードレジスタRG0A~RG7AおよびRG0B~RG7Bを参照符号RGで示す。これらのリードレジスタは同一の構成を備えている。

【0173】図51を参照して、リードレジスタRGは、プリアンプイネーブル信号PAE(PAEAまたはPAEB)に反応してグローバルIO線GIOIおよび/GIOI上の信号電位を増幅するプリアンプPRAと、プリアンプPRAにより増幅されたデータをラッチするラッチ回路LRGを含む。プリアンプPRAは、プリアンプイネーブル信号PAE(PAEAまたはPAEB)をゲートに受ける相補接続されたpチャネルMOSトランジスタ750およびnチャネルMOSトランジスタ754と、トランジスタ754と接地電位との間に設けられ、そのゲートがグローバルIO線/GIOIに接続されるnチャネルMOSトランジスタ756と、プリアンプイネーブル信号PAEをそのゲートに受ける相補接続されたpチャネルMOSトランジスタ752およびnチャネルMOSトランジスタ755と、トランジスタ755と接地電位との間に設けられ、そのゲートがグローバルIO線GIOIに接続されるnチャネルMOSトランジスタ757とを含む。

【0174】プリアンプPRAはさらに、トランジスタ750と並列に設けられるpチャネルMOSトランジスタ751と、トランジスタ752と並列に設けられるpチャネルMOSトランジスタ753を含む。トランジスタ751および753はそのゲートとドレインが交差結合される。ラッチ回路LRGは、2つの2入力NAND

(38)

特開平6-318391

73

回路760および762を含む。NAND回路760はその一方入力ノードN30（プリアンプPRAの一方出力ノード）に結合され、その他方入力ノードN32（プリアンプPRAの他方出力ノード）に結合され、その他方出力ノードN34に接続される。NAND回路760の出力ノードN34からリードレジスタRGの格納データが出力される。次にこの図51に示すリードレジスタの動作をその動作波形図である図52を参照して説明する。

【0175】列選択指示が与えられると（信号/CASが“L”に立下がると）、選択バンクにおいては、選択されたメモセルのデータがグローバルIO線GIOiおよび/GIOi上に伝達され、グローバルIO線対GIOiおよび/GIOi上の信号が読出データに対応した電位に変化する。図52においては、グローバルIO線GIOi上にデータ“1”（電位“H”に対応）が読出され、グローバルIO線/GIOi上にデータ“0”（電位“L”に対応）が読出された状態が示される。次いで、グローバルIO線GIOiおよび/GIOi上の電位が確定すると、プリアンプイネーブル信号PAEが発生される（クロック信号CLKをトリガとして）。

【0176】信号PAEが“L”の間、プリアンプPRAにおいては、pチャネルMOSトランジスタ751および752がオン状態にあり、nチャネルMOSトランジスタ754および755がオフ状態にある。このためノードN30およびN32は“H”の電位にプリチャージされている。この状態においてはラッチ回路LRGのラッチデータは変化せず、前のアクセスサイクルで読出された信号を保持している。プリアンプイネーブル信号PAEが“H”に立上ると、トランジスタ750および752がオフ状態、トランジスタ754および755がオン状態となる。トランジスタ756および757のゲートへは、既に安定状態となったグローバルIO線/GIOiおよび/GIOiの信号電位が伝達される。今、グローバルIO線GIOi上の信号電位が“1”である。したがってトランジスタ757の導電率がトランジスタ756の導電率よりも高くなり、ノードN30がトランジスタ755および757によりノードN32よりもより高速で放電される。ノードN30の電位が低下すると、トランジスタ751がオン状態へと移行していきノードN32を充電する。ノードN32の電位が上昇すると、トランジスタ753がオフ状態へ移行する。これによりノードN30およびN32の電位が高速でグローバルIO線GIOiおよび/GIOiに対応した電位となる。すなわち、ノードN30の電位が“L”、ノードN32の電位が“H”となる。応じて、NAND回路760の出力が“H”となり、ノードN34に選択されたメモセルから読出されたデータがラッチされる。

74

【0177】グローバルIO線GIOiの信号電位が“L”およびグローバルIO線/GIOi上の信号電位が“H”の場合には、ノードN30の電位が“H”、ノードN32の電位が“L”となり、NAND回路760がその両入力“H”となるため、ノードN34には“L”の信号電位がラッチされる。

【プリアンプイネーブル信号発生系】図53は、プリアンプイネーブル信号PAEを発生するための回路構成を示す図である。図53において、PAE信号発生系は、クロック信号CLKの立上がりエッジで信号/CASをラッチするラッチ回路710と、ラッチ回路710の出力信号にตอบสนองしてワンショットのパルスが発生するワンショットパルス発生回路712と、ワンショットパルス発生回路712からのワンショットパルスにตอบสนองしてクロック信号CLKをレイテンシ記憶回路714の記憶情報に従ってカウントし、所定カウント値に到達したときにプリアンプイネーブル信号PAEを発生するカウンタ回路720を含む。次にこの図53に示すプリアンプイネーブル信号発生系の動作をその動作波形図である図54を参照して説明する。

【0178】クロック信号CLKの立上がりエッジで信号/CASが“L”に設定されると列選択動作（列アクセス）が開始する。このとき、ラッチ回路710の出力が“L”に立下がり、ワンショットパルス発生回路712はワンショットのパルスを発生する。このワンショットパルス発生回路712からのワンショットパルスにより列選択動作が開始されたことが示される。カウンタ回路720は、このワンショットパルス発生回路712からのワンショットパルスに従ってクロック信号CLKをカウントする。このカウント値がレイテンシ記憶回路714が記憶するレイテンシよりも1少ない値に到達したとき、そのときのクロック信号CLKをトリガとして、カウンタ回路720はワンショットのパルス信号を発生する。このカウンタ回路720からのワンショットのパルス信号がプリアンプイネーブル信号PAEとなる。

【0179】このカウンタ回路720から出力されるプリアンプイネーブル信号PAEが、図49に示すBA発生回路715と同様の構成により、選択されたバンクに対して設けられたリードレジスタに対してのみ発生される。カウンタ回路720はバンク#Aおよび#Bそれぞれに設けられており、バンクアドレスBAに従って選択されたバンクに対応するカウンタ回路のみが活性化される構成が利用されてもよい。ここで図54においてはレイテンシ1aが3の場合が一例として示されている。したがって列選択動作が始まってから2つ目のクロック信号（クロック番号3）をトリガとしてプリアンプイネーブル信号PAEが発生される。図55は図53に示すカウンタ回路720の具体的な構成の一例を示す図である。図55において、カウンタ回路720は、ワンショットパルス発生回路から与えられるワンショットパルスφr

(39)

特開平6-318391

75

にตอบสนองして起動され、クロック信号CLKの立下がりをカウントする立下がりカウンタ770と、立下がりカウンタ770からのカウントアップ信号にตอบสนองして所定のパルス幅を有するパルス信号PA1を発生するパルス発生回路772と、レイテンシ記憶回路からのレイテンシデータが1を示しているときに活性化され、ワンショットパルスφ_rにตอบสนองして所定のパルス幅を有するパルス信号PAE0を発生するパルス発生回路774と、パルス発生回路772および774からのパルス信号PAE1およびPAE0の論理和をとるOR回路776を含む。

【0180】OR回路776からプリアンブイネーブル信号PAEが発生される。立下がりカウンタ770はレイテンシ記憶回路の記憶するレイテンシ1aが2以上の場合にカウント動作を実行する。パルス発生回路774はレイテンシ記憶回路の記憶するレイテンシ1aが1の場合に活性化される。次にこの図55に示すカウンタ回路720の動作をその動作波形図である図56を参照して説明する。クロック信号CLKの立上がりエッジにおける信号/CASが“L”のとき、所定のパルス幅を有するワンショットパルス信号φ_rが発生される。レイテンシが2以上の場合には、立下がりカウンタ770が活性化される。立下がりカウンタ770はこのワンショットパルス信号φ_rの立上がりにตอบสนองして活性化され、クロック信号CLKの立下がりをカウントする。レイテンシが3の場合、パルス発生回路772は、このクロック信号CLKの2つ目の立下がりにตอบสนองしてカウンタ770から発生されるカウントアップ信号により、所定時間経過後に所定のパルス幅を有するパルス信号PA1を発生する。一方、パルス発生回路774はレイテンシが1の場合に活性化され、このワンショットパルス信号φ_rの立上がりにตอบสนองして所定時間経過後に所定のパルス幅を有するパルス信号PAE0を発生する。OR回路776はこのパルス信号PAE1およびPAE0のいずれかに従ってプリアンブイネーブル信号PAEを発生する。このパルス信号PAE0およびPAE1が要するパルス幅は、クロック信号CLKのパルス幅と同じとされてもよい。

【0181】図57は、図53に示すカウンタ回路の他の構成を示す図である。図57において、カウンタ回路720は、クロック信号CLKを分周する分周回路780と、分周回路780からのクロック信号CLKVをカウントするカウンタ782と、カウンタ782からのカウントアップ信号φ_uに従って所定のパルス幅を有するパルス信号PAEを発生するパルス発生回路784を含む。カウンタ782は、ワンショットパルス信号φ_rにตอบสนองして活性化され、クロック信号CLKVをカウントし、そのカウント値がレイテンシデータが指定するカウント値に到達したときにカウントアップ信号を発生する。次にこの図57に示すカウンタ回路720の動作を

76

その動作波形図である図58を参照して説明する。図58において、分周回路780がクロック信号CLKを1/2分周し、その周波数を2倍にしている場合が一例として示される。この場合、カウンタ回路782は、レイテンシデータ1aに対し、ワンショットのパルス信号φ_rが与えられてからクロック信号CLKVの立下がりを2(1a-1)回カウントする。カウント値が2(1a-1)に到達するとカウントアップ信号φ_uを発生する。パルス発生回路784はこのカウントアップ信号φ_uにตอบสนองしてワンショットのパルス信号を発生する。図58においてはパルス信号PAEのパルス幅はクロック信号CLKのパルス幅と等しいように示される。カウンタ回路782には、レイテンシ1aが1に設定されている場合には、分周クロック信号CLKVの最初の立下がりにตอบสนองしてカウントアップ信号を発生する。したがって、この場合、パルス発生回路784からはクロック信号CLKの列アクセスサイクルの最初のクロック信号CLKの立上がりにตอบสนองしてプリアンブイネーブル信号PAEが発生されると言える。

【0182】ラップアドレスRWY_iについては、列選択動作が開始されてからレイテンシ1a-1回目のクロック信号CLKの立上がりにตอบสนองしてラップアドレスが設定され、次いでラップ長が示すクロックサイクルの間順次クロック信号にตอบสนองしてラップアドレスを発生する。これは、図24(C)に示すラップアドレス発生回路のデコードの出力の設定タイミング(図28におけるリセット信号)をレイテンシデータ1aに従って発生し、次いでレイテンシデータ1aの指定するクロックサイクルからラップ長データが規定するクロックサイクルの間順次クロック信号CLKがこのラップアドレス発生回路へ与えられる。

【ラップアドレス発生系】図59はラップアドレス発生系の構成の一例を示す図である。図59において、ラップアドレス発生系は、クロック信号CLKの立上がりエッジで信号/CASをラッチするラッチ回路790と、ラッチ回路790からの列選択動作開始指示にตอบสนองして、3ビットのアドレスA0、A1およびA2をデコードし、かつそのデコード結果をラッチするラップアドレスデコード791と、ラッチ回路790からの列選択動作指示にตอบสนองして活性化され、レイテンシデータ1aに従ってクロック信号CLKをカウントするレイテンシカウンタ794と、レイテンシカウンタ794からのカウントアップ信号φ_{ls}に従ってラップアドレスデコード791のラッチするデコードをラップアドレス発生回路793へ転送する転送回路792と、レイテンシカウンタ794からのカウントアップ信号にตอบสนองして起動され、ラップ長データw_rに従ってクロック信号CLKの立下がりをカウントするラップ長カウンタ795と、ラップ長カウンタ795の出力φ_{lw}に従ってクロック信号CLKを選択的に通過させてラップアドレス発生回路

(40)

特開平6-318391

77

793へ与えるゲート回路796を含む。

【0183】ラップアドレスデコーダ791は、図24(C)に示す構成に対応する。ラップアドレス発生回路793は、ゲート回路796からのクロック信号CLKaに従って、転送回路792を介して与えられたラップアドレスを順次シフトする(図28参照)。この転送回路792は、図28に示すリセット信号を受けるトランジスタ236に対応する。ゲート回路796はたとえばAND回路で構成され、ラップ長カウンタ795の出力φlwが“H”のときのみクロック信号CLKを通過させる。次にこの図59に示すラップアドレス発生系の動作をその動作波形図である図60を参照して説明する。クロック信号CLKの立上がりエッジで信号/CASが“L”に設定され、列選択動作が指示される。この状態はラッチ回路790によりラッチされ、ラップアドレスデコーダ791およびレイテンシカウンタ794が活性状態となる。ラップアドレスデコーダ791はこのラッチ回路790からの列選択動作指示に従って与えられた3ビットのアドレスA0、A1およびA2をデコードし、そのデコード結果をラッチする。これにより8個のラップアドレスRWY0~RWY7のうち1つを活性状態とするデコード信号が生成される。レイテンシカウンタ794はラッチ回路790から列選択動作指示に従って起動され、クロック信号CLKをカウントし、レイテンシ1aより1小さい数のクロック信号(第3クロックサイクル)の立上がりエッジでカウントアップ信号φlsを生成する。

【0184】レイテンシカウンタ794は、ラッチ回路790からの列選択動作指示に従ってクロック信号CLKの立下がりをカウントするように構成されてもよい。図60においては、レイテンシ1aは3に設定されているため、レイテンシカウンタ794からは、レイテンシ1aより1小さいクロック数すなわちクロック番号3のクロック信号の立上がり時において“H”となる信号が生成される(第1クロック信号はカウントせず)。これにより転送回路792が導通状態となり、ラップアドレスデコーダ791によりデコードされかつラッチされていた情報がラップアドレス発生回路793へ伝達される。ラップアドレス発生回路793は図28にその構成の一例を示すようにシフトレジスタ構成を備えている。この8ビットのシフトレジスタそれぞれにおいて、ラップアドレスが設定され8ビットのラップアドレスRWY0~RWY7のうちの1ビットのラップアドレスが選択状態(“H”)となる。

【0185】ラップ長カウンタ795はこのレイテンシカウンタ794からのカウントアップ信号φlsに同期して活性化され、次のクロック信号CLKの立下がりエッジからラップ長データwrが指定するクロックサイクル数をカウントする。このラップ長データwrが指定するクロックサイクルが経過するまでラップ長カウンタ7

78

95は信号φlwを“H”に設定する。これにより第4クロックサイクルからクロック信号CLKがラップアドレス発生回路793へ与えられる。ラップアドレス発生回路793はこのゲート回路796を介して与えられるクロック信号CLKaに従ってそのラップアドレスRWY1を変更する。ラップ長カウンタ795の出力φlwは、ラップ長データwrが指定するクロックの立下がりをラップ長カウンタ795がカウントした後“L”に立下がる(クロック信号CLKの立下がりに応答して)。これによりゲート796が遮断状態となり、ラップアドレス発生回路793におけるラップアドレスRWY1の変更は禁止される。

【0186】このようにラップアドレス発生回路793がクロック信号CLKに従って順次その保持データをシフトする構成において初期ラップアドレスを転送するタイミングをクロック信号に従って設定し、順次そのラップアドレスをクロック信号CLKに従って変更することにより、正確なデータの読出が行なわれる。ここで、ラップアドレス発生回路793はシフトレジスタの構成と異なる構成が利用されてもよい。図61に示すように、このラップアドレスデコーダおよびラップアドレス発生回路は、WCBR条件下でのアドレスビットA6に従ってラップアドレスの発生順序が設定され、次いで列選択動作指示が与えられたときその3ビットのアドレスA0、A1およびA2に従って順次設定された順序でラップアドレスを発生する構成が利用されてもよい。この構成の場合には、順次発生されるラップアドレスの発生タイミングおよび変更タイミングがクロック信号に応答して決定される。この構成は通常のシーケンス設定回路を用いて実現することができる。

【0187】[出力バッファ] 図62は出力バッファの具体的構成の一例を示す図である。図62を参照して、出力バッファ702は、インバータバッファTB8から伝達されるデータQoutと出力イネーブル信号OEMを受ける2入力NAND回路801と、読出データQoutおよび出力イネーブル信号OEMを受ける2入力ゲート回路802と、NAND回路801の出力に応答して導通し、データ入出力端子DQを電源電位Vccレベルに充電するpチャネルMOSトランジスタ803と、ゲート回路802の出力に応答して導通し、データ入出力端子DQを接地電位レベルに放電するnチャネルMOSトランジスタ804を含む。ゲート回路802は、その偽入力に出力イネーブル信号OEMを受け、その真入力に読出データQoutを受ける。次に動作について簡単に説明する。

【0188】出力イネーブル信号OEMが“L”の場合、NANDゲート801の出力は“H”、ゲート回路802の出力は“L”である。これによりトランジスタ803および804がともにオフ状態となり、出力バッファ702は出力インピーダンス状態となる。出力イネ

(41)

特開平6-318391

79

ープル信号OEMが“H”に立上ると、NAND回路801がインバータとして機能し、ゲート回路802も同様インバータとして機能する。たとえば、データQoutが“1”（電位“H”に対応）のとき、ゲート801および802の出力はともに“0”（電位“L”に対応）となり、トランジスタ803がオン状態、トランジスタ804がオフ状態となる。これによりデータ入出力端子DQにデータ“1”が読出される。

【0189】〔データ読出系の第2の実施例〕図63は、この発明のSDRAMのデータ読出系の他の構成例を示す図である。図63において、SDRAMは2つのバンク#Aおよび#Bを含む。バンク#Aは、プリアンブイネーブル信号PAEAおよび転送指示信号TLRAに従って、対応のグローバルIO線対GIO0A~GIO7A上のデータの増幅およびラッチを行なうリードレジスタRG0A~RG7Aと、ラップアドレスRWYiA、/RWYiA（i=0~7）に従って、対応のリードレジスタのデータを転送する3状態インバータバッファTB0A~TB7Aと、選択された（活性化された）インバータバッファTB0A~TB7Aの出力をラッチするラッチ回路LA-Aと、ラッチ回路LA-Aのラッチデータをバンク指定信号BAAおよびBABに従って反転増幅する3状態インバータバッファTB8Aを含む。

【0190】バンク#Bはまたバンク#Aと同様、プリアンブイネーブル信号PAEBおよび転送指示信号TLRBに従って対応のグローバルIO線対GIO0B~GIO7B上のデータの増幅およびラッチを行なうリードレジスタRG0B~RG7Bと、ラップアドレスRWY0B、/RWY0B~RWY7B、/RWY7Bに従って対応のリードレジスタのラッチデータを反転増幅する3状態インバータバッファTB0B~TB7Bと、これらの3状態インバータバッファのうち活性化された3状態インバータバッファの出力をラッチするラッチ回路LA-Bと、ラッチ回路LA-Bのラッチしたデータを反転増幅する3状態インバータバッファTB8Bを含む。この図63に示すバンク#Aおよびバンク#Bの構成では、リードレジスタRG0A~RG7AおよびRG0B~RG7Bがプリアンブイネーブル信号PAEAおよびPAEBに加えてさらに転送指示信号TLRAおよびTLRBに従ってデータのラッチ転送が制御されている点が先に示したリードレジスタの構成と異なる。

【0191】図63において、このSDRAMはさらに、バンク#Aおよびバンク#Bからの出力（3状態バッファTB8AおよびTB8B）の出力をラッチするラッチ回路820と、ラッチ回路820の出力を出力イネーブル信号OEMに従ってデータ入出力端子DQへ伝達する出力バッファ702を含む。出力バッファ702の構成は、図62に示すものと同様である。ラッチ回路820は、制御信号DOTおよび/DOTにตอบสนองして活

80

化される3状態インバータバッファ821と、3状態インバータバッファ821の出力をラッチするラッチ回路822を含む。

〔リードレジスタ〕図64は図63に示すリードレジスタの具体的構成を示す図である。図64に示すリードレジスタRGは、図51に示すリードレジスタと同様プリアンブイネーブル信号PAEにตอบสนองして活性化され、対応のグローバルIO線GIOiおよび/GIOi上のデータを増幅するプリアンプPRAと、プリアンプPRAにより増幅されたデータをラッチするラッチ回路LRGと、転送指示信号TLRおよび/TLRにตอบสนองしてラッチ回路LRGのラッチデータを転送するリードレジスタ転送ゲートRGTRと、転送ゲートRGTRの出力信号をラッチするラッチ回路SLRGを含む。

【0192】ラッチ回路SLRGは、転送ゲートRGTRの出力を反転するインバータ824と、転送指示信号TRおよび/TRにตอบสนองして活性化され、インバータ824の出力を反転してインバータ824の入力へ伝達する3状態インバータバッファ826を含む。転送ゲートRGTRは3状態インバータバッファで構成される。転送ゲートRGTRと、3状態インバータバッファ826とは、相補的に出力ハイインピーダンス状態および動作状態となる。この図63および図64に示すSDRAMのデータ読出の特徴は、レイテンシ（列選択動作が始まってから有効データが出力端子DQに現われるまでに必要とされるクロックサイクル数）の1クロックサイクル前において先にデータを先読ラッチ回路820の前段にまで読出す。すなわち、内部動作において、すべて1クロック、先の実施例の場合よりも先にデータの転送を行なう。これによりデータ読出の高速化を図る。次に図63および図64に示すSDRAMのデータ読出動作をその動作波形図である図65を参照して説明する。図65においてはレイテンシが3、かつラップ長が4の場合のデータ読出動作が一例として示される。

【0193】第1クロックサイクルにおいて、クロック信号CLKの立上がりエッジで信号/CASが“L”に設定され、列選択動作開始が指示される（列アクセスが指定される）。このときに与えられたアドレスYaを列アドレスとし、列選択動作が実行される。またこのときバンクアドレスAが設定され、バンク#Aが選択される。行選択動作は先に与えられている信号/RASとそのときに与えられているバンクアドレスとに従って実行されている。このバンクアドレスAはしたがって、データ読出系の回路すなわち信号CASに関連する回路のバンク指定を行なう機能を備える。第2クロックサイクルにおいて、クロック信号CLKの立上がり時にプリアンブイネーブル信号PAEAを“H”に設定する。すなわち、プリアンブイネーブル信号PAEAは（レイテンシ-2）クロックサイクル時において活性化状態とする。有効データがデータ入出力端子DQに現われるよりも2ク

(42)

特開平6-318391

81

ロックサイクル前においてリードレジスタRGにおけるデータの増幅およびラッチ（ラッチ回路LRGによる）を実行する。

【0194】この第2クロックサイクルにおいて、クロック信号CLKの立上がりトリガとして、転送指示信号TLRAを“H”に立上げる。これにより、図64に示す転送ゲートRGTRが出力ハイインピーダンス状態から活性状態となり、ラッチ回路LRGにラッチされていたデータ（現アクセスサイクルにより読出されたメモリセルデータ）を次段のラッチ回路SLRGへ転送する。この転送ゲートRGTRにより転送されたデータは信号TLRが“L”に立上がるとラッチ回路SLRGによりラッチされる（3状態インバータバッファ826が活性状態となる）。この第2クロックサイクルにおいてまた、クロック信号CLKの立上がりトリガとして、ラップアドレス発生回路からラップアドレスが発生される。これにより3状態インバータバッファTB0A～TB7Aのうち1つが活性状態となり、ラッチ回路SLRGにラッチされたデータが出力部に設けられた3状態インバータバッファTB8A前段のラッチ回路LA-Aによりラッチされる。このラップアドレスRWY1Aの発生と並行して、第2クロックサイクルのクロック信号CLKの立上がりトリガとして、バンク指定信号BAAが“H”となる。これによりラップ回路LA-Aにラッチされたデータが3状態インバータバッファTB8Aを介して出力部の先読ラッチ回路820前段にまで伝達される。

【0195】続いて第3クロックサイクル（有効データが出力されるクロックサイクルよりも1クロックサイクル前）において、クロック信号CLKの立上がりトリガとして、制御信号DOTが所定期間“H”となる。これにより、先読ラッチ回路820が既に伝達されていたデータを取込みラッチする。この制御信号DOTの発生と同期して、出力イネーブル信号OEMが“H”に立上がる。これにより出力バッファ702が活性状態となり、先読ラッチ回路820から伝達されたデータをデータ入出力端子DQへ伝達する。この第3クロックサイクルにおいて、クロック信号CLKの立上がりトリガとして、ラップアドレスが変更される。第4クロックサイクルにおいて、出力バッファ702の出力データが有効データと確定する。

【0196】以降各クロックサイクルごとにラップアドレスRWY1Aが変化し、制御信号DOTが発生され、出力バッファ702から4バイトのデータが順次出力される。第5クロックサイクルにおいて、バンク#Bの列選択が指定される。この場合においても同様、第6クロックサイクルにおいてプリアンブイネーブル信号PAEBが“H”に設定され、バンク#Bにおいて選択メモリのデータの増幅およびラッチが実行される（バンク#Bにおいても既に信号RASにより行選択が実行さ

82

れている）。すなわち、バンク#Aとバンク#Bを並行にパイプライン態様で活性化することができる。このバンク#Bにおいて、プリアンブイネーブル信号PAEBが発生されたとき、第6クロックサイクルにおいて転送信号TLRBが発生され、現アクセスサイクルにおいて読出されたメモリセルデータがラッチ回路SLRGにラッチされる。続いてラップアドレスRWY1Bが順次発生され、このラップアドレスに従ってデータが先読ラッチ回路820の入力部まで伝達される。以降次のクロックサイクルから制御信号DOTおよびOEMに従って順次データが読出される。

【0197】制御信号DOTは有効データが出力されてからラップ長（図65に示す構成においては4）が示す数のクロック信号をカウントしたときに“L”となる。レイテンシが1の場合には先読はできない。レイテンシが1に設定された場合には、列アクセス（列選択動作開始）が指定されたクロックサイクルのクロック信号トリガとしてラップアドレスRWY1を変化させる。出力制御信号DOTについてもレイテンシが1の場合には列アクセス開始のクロックサイクルで“H”に設定される。すなわち、この図63および64に示す構成においては、先に示したデータ読出動作時よりも1クロックサイクル先にデータの転送および出力バッファ前段までのデータの読出が実行されている。図66は、この図63および図64に示すデータ読出系におけるデータの流れを示す図である。図66において、第1クロックサイクルにおいては、ラッチLRG（リードレジスタの初段のラッチ）は、前アクセスサイクルのデータをラッチしている。残りのラッチについても同様である。出力バッファは出力ハイインピーダンス状態にある。第1クロックサイクルにおいて、信号PAEが発生され、この信号PAEに応答してラッチLRGのラッチデータが現アクセスサイクルのメモリセルデータQAに変化する。この時点ではラッチSLRGの保持データはまだ前アクセスサイクルのデータである。

【0198】第2クロックサイクルにおいて信号TLRが発生され、ラッチSLRGのデータがラッチLRGにラッチされていたデータに変更される。次いでラップアドレスRWY1が発生され、このラッチSLRGにラッチされたデータのうち選択された3状態バッファが活性状態となり、出力部に設けられたラッチLA-Aが現アクセスサイクルの最初のデータに変化する。この時点においてバンク指定信号BAが確定状態となっており、先読ラッチ回路820の入力部にまでこの最初のデータが伝達される。第3クロックサイクルにおいて制御信号DOTが発生され、先読ラッチ回路820のラッチデータが現サイクルデータQA1となる。続いて、信号DOTおよびOEMに従って出力バッファ702の出力データが変化し、レイテンシ経過後の第4クロックサイクルから順次確定データが出力される。

(43)

特開平6-318391

83

【0199】リードレジスタにおいて転送信号TLRによりデータ転送を行なうのは、同一バンクが連続してアクセスされる場合に、前のアクセスサイクルのデータがすべて読出される前に、現アクセスサイクルのメモリセルの読出データによりリードレジスタの内容が破壊されるのを防止するためである。次に具体的な回路構成について順次説明する。

【ラップアドレス発生系】図67は、ラップアドレス発生系の機能的構成を示す図である。図67において、ラップアドレス発生系は、プリアンブイネーブル信号PAEとクロック信号CLKに反応してワンショットのバルス信号φrwを発生するバルス発生回路850と、バルス発生回路850からのワンショットバルス信号φrwに反応して次のクロック信号CLKの立下がりをカウントするラップ長カウンタ852と、ラップ長カウンタ852の出力に反応して選択的にクロック信号CLKを通過させるゲート回路856と、ワンショットバルス信号φrwに反応して最初のラップアドレスを発生し、次いでゲート回路856から与えられるクロック信号CLKaに反応して順次ラップアドレスを変更するラップアドレス発生回路854を含む。

【0200】バルス発生回路850は、レイテンシデータlaが2以上のレイテンシを示している場合には、プリアンブイネーブル信号PAEが発生されているときのクロック信号CLKの立上りに反応してワンショットのバルス信号φrwを発生する。レイテンシデータlaがレイテンシ1を示している場合、バルス発生回路850は、プリアンブイネーブル信号PAEに反応してワンショットバルス信号φrwを発生する。ラップアドレス発生回路854は図59に示すラップアドレスデコーダおよびラップアドレス発生回路791および793を含む。列選択指示に反応してデコード動作を行ない、そのデコード結果をワンショットバルス信号に反応して転送して最初のラップアドレスを発生する。

【0201】ラップ長カウンタ852は、このワンショットバルス信号φrwに反応してクロック信号CLKの立下がりをラップ長データが示す期間(wr+2)カウントする。ラップ長カウンタ852はこれに代えて、ワンショットバルス信号φrwが発生されてから次のクロック信号CLKの立上りをラップ長+1カウントする構成が利用されてもよい。ラップ長カウンタ852はその所定のカウンタ値のカウントを完了するまではゲート回路856を導通状態とする。ゲート回路856は導通状態となったときにクロック信号CLKを伝達する。これにより、ラップアドレス発生回路854からはクロック信号CLKaに従って順次ラップアドレスが変更される。図68にこの図67に示すラップアドレス発生回路の動作波形を示す。図68においては、レイテンシ3およびラップ長4の場合の動作が示される。第2クロックサイクルにおいて、プリアンブイネーブル信号PAEが

84

発生され、バルス発生回路850がクロック信号CLKの立上りに反応してワンショットのバルス信号φrwを発生する。このワンショットのバルス信号φrwに従ってラップアドレス発生回路854が最初のラップアドレスを発生する。ラップ長カウンタ852はこのワンショットバルス信号φrwに反応して活性化される。ゲート回路856はラップ長カウンタ852のカウント動作期間中クロック信号CLKを通過させる。

【0202】ラップアドレス発生回路854はゲート回路856からのクロック信号CLKaに従ってそのラップアドレスを順次変更する。これによりレイテンシが3の場合、第2クロックサイクルにおいてラップアドレスを発生することができる。ラップ長カウンタ852はそのカウント動作完了後ラップアドレス発生回路854の出力を“L”に設定する。ラップアドレス発生回路854を必要としないのみ動作させることにより消費電流の低減を図る。ラップアドレス発生回路854の出力状態が維持される構成が利用されてもよい。図67に示す構成に代えて、ラップアドレス発生回路854は、ワンショットのバルス信号φrwでなく、クロック信号CLKaに従って最初のラップアドレスから順次ラップアドレスを発生する構成が利用されてもよい。この場合、ワンショットバルス信号はラップアドレス発生回路854へは与えられない。ラップ長カウンタ852がワンショットバルス信号φrwに従ってクロック信号CLKを通過させる。ラップアドレス発生回路854はクロック信号CLKaに従って最初のラップアドレスから順次発生する。この場合図68に示す波形図において、第2クロックサイクルにおいてクロック信号CLKaが発生され、この第2クロックサイクルにおけるクロック信号CLKaに従ってラップアドレスが発生される。

【0203】この図68に示す動作波形図においては、ラップアドレスRWY1はクロック信号CLKの立上りがトリガとして変化している。クロック信号CLKの立下がりエッジをトリガとしてラップアドレスが変更される構成が利用されてもよい。図69はレイテンシが1の場合のラップアドレスの発生状態を示す図である。図69において、レイテンシが1の場合には、列アクセス(列選択動作)が始まるとき、このクロック信号CLKの立上りに反応してプリアンブイネーブル信号PAEが発生される。このプリアンブイネーブル信号PAEに反応してワンショットバルス信号φrwが発生される。このワンショットバルス信号φrwに従って最初のラップアドレスRWY1が発生される。このとき転送制御信号TLRおよび出力制御信号DOTはレイテンシ1の場合には“H”に固定される。したがって、プリアンブイネーブル信号PAEに従って読出されたデータはラップアドレスRWY1が発生すると出力バッファ702にまで伝達される。出力バッファ702においては、出力イネーブル信号OEMに従って第2クロックサイク

85

ルから順次クロック信号に従って有効データが出力される。

【0204】なお図69に示す動作波形図において、レイテンシが1の場合、ワンショットパルス信号 ϕ_{rw} に
 応答して、ラップアドレスRWYiはクロック信号CLK
 の立下がりエッジで変化するように構成されてもよい。

〔データ読出制御系〕図70は、データ読出に関連する
 制御信号発生系の構成を示す図である。図70におい
 て、データ読出制御信号発生系は、信号/WEおよび/
 CASをクロック信号CLKの立下がりエッジでラッチし、
 データ読出動作が指定されたか否かを検出するリード
 検出回路860と、信号/WE、/CASおよび/RASのクロック
 信号CLKの立下がりエッジでの状態を検出し、WCBR
 モードが指定されたか否かを検出するWCBR検出回路
 862と、クロック信号CLKの立下がりエッジでアドレ
 スビットA0、A1、A2、A4、A5をラッチするアドレ
 スラッチ864と、WCBR検出回路862からのWCBR検
 出に
 応答して、アドレスラッチ864にラッチされたアドレ
 スビットA5およびA4に従ってレイテンシデータを生成
 しラッチするレイテンシデコードラッチ868と、WCBR
 検出回路862からのWCBR検出に
 応答して、アドレスラッチ864からのアドレスビット
 A1～A2をデコードしてラップ長データを保持するラ
 ップ長デコードラッチ870と、クロック信号CLKと信
 号/CASとに従ってバンクアドレスBAをラッチするラ
 ッチ回路866と、各種制御信号PAE、TLR、BA、OEMおよびDOTを
 発生する出力制御回路880を含む。

【0205】出力制御回路880は、ラッチ回路866に
 ラッチされたバンクアドレスが指定するバンクに対し
 てのみ必要な制御信号を発生する。図70においては、
 このバンク#Aおよびバンク#Bに対し出力制御回路8
 80から共通に制御信号が発生されるように示される。
 また図70に示す制御信号発生系は、図1に示すSDR
 AMおよび図44に示すSDRAMいずれにおいても適
 用可能である。各印加信号がバッファ処理された内部
 信号であると考えればよい。図71は図70に示すリード
 検出回路の構成の一例を示す図である。図71におい
 て、リード検出回路860は、信号/CASを偽入力に
 受け、信号/WEを真入力に受けるゲート回路901と、
 クロック信号CLKの立下がりエッジでゲート回路
 901の出力をラッチするD型フリップフロップ902と、
 D型フリップフロップ902の出力Qとクロック信号
 CLKとを受けるAND回路903を含む。ゲート回路
 901は、信号/CASが“L”にありかつ信号/WEが
 “H”のときのみ“H”の信号を出力する。次に、
 このリード検出回路860の動作についてその動作波
 形図である図72を参照して説明する。

【0206】読出時においては、クロック信号CLKの

(44)

特開平6-318391

86

立上がりエッジで信号/CASが“L”、信号/WEが
 “H”に設定される。これによりD型フリップフロ
 902の出力Qが“H”に立上がる。AND回路903
 はその両入力の信号がともに“H”のときに“H”の
 信号を出力する。これにより信号 ϕ_r は読出モードが指
 定されたときクロック信号CLKとほぼ同じ幅を有する
 ワンショットのパルス信号となる。図73は、WCBR
 検出回路の構成の一例を示す図である。図73におい
 て、WCBR検出回路862は、信号/RAS、/CASお
 よび/WEを受けるNOR回路904と、クロック信号
 CLKの立下がりエッジでNOR回路904の出力をラ
 ッチするD型フリップフロップ905と、D型フリップ
 フロップ905の出力Qとクロック信号CLKとを受け
 るAND回路906を含む。NOR回路904は、その
 3入力がすべて“L”となったときにのみ“H”の信
 号を出力する。次にこの図73に示すWCBR検出回路
 の動作をその動作波形図である図74を参照して説明
 する。

【0207】クロック信号CLKの立下がりエッジで
 信号/RAS、/CASおよび/WEが“L”に設定され
 る。これにより、WCBRモードが指定される。D型フ
 リップフロップ905の出力がこのクロック信号CLK
 の立下がりエッジで“H”に立上がり、応じてAND回
 路906から出力される信号 ϕ_{WCBR} も“H”に立上
 がる。その後クロック信号CLKが“L”に立下がる
 と、信号 ϕ_{WCBR} も“L”に立下がる。次のクロック
 サイクルにおいてはクロック信号CLKの立下がりエ
 ヅにおいては、NOR回路904の出力は“L”であ
 り、信号 ϕ_{WCBR} は“L”を維持する。この構成によ
 り、WCBRモードが指定されたときにのみ信号 ϕ_{WC}
 BRが発生される。図75は図70に示すレイテンシ
 デコードラッチの構成を示す図である。図75におい
 て、レイテンシデコードラッチ868は、WCBR検出信
 号 ϕ_{WCBR} に
 応答して活性化され、与えられたアドレス
 ビットA4およびA5をデコードするデコーダ907と、
 WCBR検出信号 ϕ_{WCBR} を所定時間遅延させる
 遅延回路909と、遅延回路909の出力に
 応答して、デコーダ907の出力をラッチするラッチ回
 路908とを含む。図75においては、レイテンシが1、
 2、3および4の4種類準備されている状態が示され
 る。デコーダ907はこの2ビットのアドレスA4およ
 びA5をデコードし、4種類のレイテンシのうち1つ
 を活性状態とする。ラッチ908は遅延回路909の出
 力に
 応答してデコーダ907の出力をラッチする。これによ
 りラッチ908の出力LAT1E～LAT4Eのうちの1つ
 が活性状態とされ、レイテンシデータ1aが設定され
 る。

【0208】図76は、図70に示すラップ長デコード
 ラッチの構成を示す図である。図76において、ラ
 ップ長デコードラッチ870は、WCBR検出信号 ϕ_{WCB}
 Rに
 応答して3ビットのアドレスA0～A2をデコード

(45)

特開平6-318391

87

するデコーダ910と、WCBR検出信号φWCBRを所定時間遅延する遅延回路912と、遅延回路912の出力に反応して、デコーダ910の出力をラッチするラッチ回路911を含む。デコーダ910は与えられたアドレスをデコードし、8種類のラップ長のうちの1つを選択する。ラッチ回路911はこのデコーダ910の出力をラッチする。これによりラッチ回路911の出力LEN1E、LEN2E、LEN4E、…LENAEのうちの1つが選択状態とされる。これによりラップ長データwrが設定される。

【0209】なお図76において、ラップ長デコードラッチ870に含まれるデコーダ910がWCBR検出信号φWCBRに反応してデコード動作を行なうように示されている。このデコーダ910は、列選択動作開始指示（列アクセス開始指示）に従ってラップアドレスを発生するためのデコーダと兼用されてもよい。また、図75および76の遅延回路909および912は確実にデコーダ907および910の出力をラッチするために設けられる。

【PAE信号発生系】図77は、プリアンブイネーブル信号発生系の構成を示す図である。図77において、プリアンブイネーブル信号発生系は、リード検出信号φRに反応して、所定のレイテンシに対応するクロック数をカウントするレイテンシカウンタ914と、レイテンシカウンタ914からのカウントアップ信号φuに従って、所定のパルス幅を有するプリアンブイネーブル信号PAEを発生するPAE発生回路916を含む。プリアンブPAE発生回路916は、レイテンシカウンタ914からのカウントアップ信号φuを所定時間遅延する遅延回路913と、遅延回路913の出力に反応して、所定のパルス幅を有するワンショットのパルスを発生するワンショットパルス発生回路915を含む。次に図77に示す回路の動作をその動作波形図である図78を参照して説明する。

【0210】レイテンシカウンタ914は、リード検出信号φRに反応してクロック信号CLKをカウントする。レイテンシカウンタ914は、レイテンシデータ1a（レイテンシ設定信号LAT1E～LAT4E）に従ってカウント動作を実行しそのカウント値がレイテンシデータ1aに対応する値に等しくなるとカウントアップ信号φuを発生する。PAE発生回路916においては、遅延回路913がカウントアップ信号φuを所定時間遅延させる。ワンショットパルス発生回路915はこの遅延出力に反応して所定のパルス幅（たとえばクロック信号CLKとほぼ同じパルス幅）を有するパルス信号を発生する。レイテンシが1または2の場合には、PAE発生回路916からは、最初のクロック信号CLKの立上がり（信号φRの立上がり）をトリガとしてプリアンブイネーブル信号PAEが発生される。レイテンシが3以上の場合には、そのレイテンシよりも2クロックサ

88

イクル前（1a-2）のクロック信号の立下がりをトリガとしてプリアンブイネーブル信号PAEが発生される。このプリアンブイネーブル信号PAEが発生された後にラップアドレスRWYIが発生される。遅延回路913およびワンショットパルス発生回路915は、それぞれ設定されたレイテンシデータに従って遅延時間およびパルス幅が調整されるように構成されてもよい。

【0211】図79は、図77に示すレイテンシカウンタ914の具体的構成の一例を示す図である。図79において、レイテンシカウンタ914は、4段の直列に接続されたフリップフロップFF1～FF4と、フリップフロップFF1の出力Q1を受ける3状態バッファ921と、フリップフロップFF2の出力Q2を受ける3状態バッファ922と、フリップフロップFF4の出力Q4を受ける3状態バッファ923を含む。初段のフリップフロップFF1の入力へはリード検出信号φRおよび相補リード検出信号φRが与えられる。フリップフロップFF1およびFF3はクロック信号CLKに反応してその入力へ与えられた信号を取込みとともに出力する。フリップフロップFF2およびFF4は相補クロック信号φCLKの立上りに反応してその入力に与えられた信号を取込みラッチする。

【0212】3状態バッファ921は、AND回路920の出力が“L”のときに作動状態となる。AND回路920は各々レイテンシ1および2を示すレイテンシ設定信号φLAT1EおよびφLAT2Eを受ける。3状態バッファ922はその制御入力にレイテンシ3を示すレイテンシ設定信号φLAT3Eを受ける。3状態バッファ923は、その制御入力にレイテンシ4を示すレイテンシ設定信号φLAT4Eを受ける。レイテンシが1または2の場合には、3状態バッファ921が作動状態となり、レイテンシ3の場合には3状態バッファ922が作動状態となり、レイテンシ4の場合には、3状態バッファ923が作動状態となる。図80は図79に示すフリップフロップの具体的構成例を示す図である。図80を参照して、フリップフロップFF（FF1～FF4を代表する）は、入力INとクロック信号K（CLKまたはφCLK）を受ける2入力NAND回路926と、相補入力φINとクロック信号Kを受ける2入力NAND回路925と、NAND回路926の出力を一方入力に受けるNAND回路928と、NAND回路925の出力をその一方入力に受ける2入力NAND回路927を含む。NAND回路927および928はその出力と他方入力とが交差結合される。NAND回路928の出力が出力Qに接続され、NAND回路927の出力が出力φQに接続される。

【0213】図80に示すフリップフロップの構成においては、クロック信号Kが“H”のときに入力INおよびφINに与えられた信号が出力QおよびφQへそれぞれ与えられる。クロック信号Kが“L”の場合には、入

(46)

特開平6-318391

89

力INおよび／INの状態にかかわらず出力は変化しない。すなわち、この図80に示すフリップフロップはクロック信号Kの立上がりに対応してスルー状態となってその入力INおよび／INを取込みクロック信号Kの立下がりに対応してラッチ状態となる。次に図79および図80に示すレイテンシカウンタの動作をその動作波形図である図81を参照して説明する。第1サイクルのクロック信号CLKの立上がりに対応してリード検出信号φRが発生される。この信号φRの“H”への立上がりに対応して、フリップフロップFF1の出力Qが“H”に立上がる（初期状態では出力Q1～Q4はすべて“L”にリセットされている）。このフリップフロップFF1の出力Q1は次のクロック信号CLKの立下がりによってフリップフロップFF2に取込まれる。フリップフロップFF2の出力Q2は第2サイクルのクロック信号CLKの立上がりに対応してフリップフロップFF3により取込まれる。このフリップフロップFF3の出力Q3がフリップフロップFF4においてその第2サイクルのクロック信号CLKの立下がりに対応して取込まれる。

【0214】すなわち図81に示すように、フリップフロップFF1～FF4の出力Q1～Q4は、クロック信号CLKの2倍のバース幅を備え、クロック信号CLKの1／2周期位相がずれた信号となる。レイテンシが1または2の場合にはフリップフロップFF1の出力Q1に対応してプリアンブイネーブル信号PAEが発生される。レイテンシが3の場合には、フリップフロップFF2の出力Q2に対応してプリアンブイネーブル信号PAEが発生される。レイテンシが4の場合には、フリップフロップFF4の出力Q4に対応してプリアンブイネーブル信号PAEが発生される。

【TLR信号発生系】図82は転送制御信号TLRを発生するための回路構成を示す図である。図82において、TLR発生回路は、クロック信号CLKに従ってプリアンブイネーブル信号PAEおよび／PAEを取込むフリップフロップ930と、フリップフロップ930の出力Qを受ける3状態バッファ932と、プリアンブイネーブル信号PAEを受ける3状態バッファ934と、3状態バッファ932または934の出力を所定時間遅延させる遅延回路936と、3状態バッファ932または934の出力と遅延回路936の出力とレイテンシ設定信号／LAT1Eを受けるゲート回路938と、ゲート回路938の出力とレイテンシ設定信号LAT1Eを受けるOR回路940を含む。

【0215】フリップフロップ930は先に図80において示したものと同様の構成を備える。クロック信号CLKの立上がりエッジで入力に与えられた信号PAEおよび／PAEを取込み、クロック信号CLKの立下がりによってラッチする。3状態バッファ932は、レイテンシ設定信号LAT2Eが“L”のときに動作状態となる。3状態バッファ934は、レイテンシ設定信号／LAT2

90

Eが“L”のときに活性状態となる。レイテンシが2に設定された場合には設定信号LAT2Eが“H”となる。それ以外の場合には、レイテンシ設定信号LAT2Eは“L”となる。ゲート回路938は遅延回路936の出力が“L”にあり、かつバッファ932または934の出力が“H”にありかつ信号／LAT1Eが“H”のときにのみ“H”の信号を出力する。レイテンシが1の場合には、信号／LAT1Eは“L”となり、それ以外は信号／LAT1Eは“H”となる。

【0216】OR回路940は、信号φp（ゲート回路938の出力）と設定信号LAT1Eを受ける。レイテンシが1の場合には信号LAT1Eは“H”である。この場合には転送制御信号TLRが“H”に固定される。レイテンシが2以上の場合には、転送制御信号TLRはゲート回路938の出力φpに従って変化する。ゲート回路938の出力φpは、信号／LAT1Eが“L”のときには固定的に“L”となる。ゲート回路938はレイテンシが2以上の場合にのみ作動状態とされる。ゲート回路938は、作動状態においては、バッファ932または934の出力の立上がりエッジから遅延回路936が与える遅延時間“H”となるワンショットのバース信号を発生する。次にこの図82に示すTLR発生回路の動作をその動作波形図である図83を参照して説明する。

【0217】レイテンシが1または2の場合、第1クロックサイクルCLKの立上がりトリガとしてプリアンブイネーブル信号PAEが発生される。レイテンシが1の場合には、信号LAT1Eが“H”とされ、転送信号TLRは“H”に固定される。レイテンシが2の場合には、バッファ934が作動状態とされ、プリアンブイネーブル信号PAEの立上がりに対応して所定のバース幅を有するバース信号φpがゲート回路938から発生される。レイテンシが3以上の場合には、バッファ932の出力に従ってワンショットバース信号φpが発生される。このとき、フリップフロップ930はクロック信号CLKの立上がりエッジで信号PAEおよび／PAEを取込んでいる。フリップフロップ930の出力Qはクロック信号CLKの立上がり同期して“H”に立上がる。したがって、レイテンシが3以上の場合には、ゲート回路938からのバース信号φpは、クロック信号CLKの立上がりトリガとして所定の期間“H”となる。図83においては、レイテンシが3の場合のプリアンブイネーブル信号PAEの発生態様が一例として示される。

【0218】このレイテンシ3の場合には、第2クロックサイクル（クロック番号2）のクロック信号CLKの立上がりトリガとしてワンショットバース信号φpが発生される。それによりプリアンブイネーブル信号PAEが発生され、グローバルIO線対上のデータが増幅されリードレジスタの初段のラッチにデータがラッチされ

(47)

特開平6-318391

91

た後に次段のラッチ（SLRG）に確定データが転送される。このようにブリアンブイネーブル信号PAEが活性化されてから転送制御信号TLRを発生し、リードレジスタ内部でラッチ間のデータ転送を行なう構成により、同一バンクに連続的にアクセスしてデータを読み出す場合にリードレジスタに保持されているデータの破壊が防止される。

【OEM/DOT信号発生系】図84は、データ出力制御信号OEMおよびDOTを発生するための回路構成を示す図である。図84を参照して、データ出力制御信号発生系は、リード検出信号φRにตอบสนองして、設定されたレイテンシデータに従ってクロック信号CLKをカウントするレイテンシカウンタ1000と、レイテンシカウンタ1000からのカウントアップ信号にตอบสนองして起動され、設定されたラップ長に従ってクロック信号CLKをカウントするラップ長カウンタ1002と、レイテンシ設定信号/LAT1Eにตอบสนองして活性化され、ブリアンブイネーブル信号PAEを通過させる3状態インバータバッファ1004と、レイテンシカウンタ1000からのカウントアップ信号またはインバータバッファ1004からの信号に従ってセットされかつラップ長カウンタ1002からのカウントアップ信号に従ってリセットされるOEM発生回路1006を含む。

【0219】レイテンシカウンタ1000は、設定されたレイテンシに等しい数のクロック数をカウントする（レイテンシが2以上の場合）。ラップ長カウンタ1002は、設定されたラップ長に等しいクロック数をカウントしたときにカウントアップ信号を発生する。OEM発生回路1006から出力イネーブル信号OEMが発生される。さらに、出力イネーブル信号OEMとクロック信号CLKと信号/LAT1Eとにตอบสนองして出力制御信号/DOTが発生するゲート回路1008が設けられる。ゲート回路1008は、3入力NAND回路を含み、出力イネーブル信号OEM、レイテンシ設定信号/LAT1Eおよびクロック信号CLKがともに“H”のときに、信号/DOTを“L”に設定する。図85は、図84に示すレイテンシカウンタ1000の具体的な構成を示す図である。図85において、レイテンシカウンタ1000は、リード検出信号φRにตอบสนองしてクロック信号CLKをカウントするシフトカウンタ1009と、レイテンシ設定信号/LAT1E～/LAT4Eに従って、シフトカウンタ1009の出力を選択的に通過させる3状態インバータバッファ1010、1012、1014および1016と、ラップ長カウンタの起動およびOEM発生回路をリセットするための3状態インバータバッファ1018、1020、1022および1024を含む。

【0220】シフトカウンタ1009は、8段の直列に接続されたフリップフロップFF11～FF18を含む。このフリップフロップFF11～FF18は図80

92

に示すフリップフロップと同様の構成を備え、与えられているクロック信号CLKまたはCLKの立上がりエッジでその入力を取込む。3状態インバータバッファ1010は、レイテンシ設定信号/LAT1Eに従って活性化され、フリップフロップFF11の出力Q1を反転して信号線1026上に伝達する。3状態インバータバッファ1012は、レイテンシ設定信号/LAT2Eにตอบสนองして活性状態とされ、フリップフロップFF12の出力Q2を反転して信号線1026上に伝達する。インバータバッファ1014は、レイテンシ設定信号/LAT3Eにตอบสนองして活性化され、フリップフロップFF14の出力Q4を反転して信号線1026上に伝達する。インバータバッファ1016は、レイテンシ設定信号/LAT4Eにตอบสนองして活性化され、フリップフロップFF16の出力Q6を反転して信号線1026上に伝達する。このインバータバッファ1010ないし1016から信号線1026上に伝達される信号はラップ長カウンタ1002をリセットするために用いられる。

【0221】インバータバッファ1018は、レイテンシ設定信号/LAT1Eにตอบสนองして活性状態とされ、フリップフロップFF12の出力Q2を信号線1028上に伝達する。インバータバッファ1020は、信号/LAT2Eにตอบสนองして活性状態とされ、フリップフロップFF13の出力Q3を反転して信号線1030および1028上に伝達する。インバータバッファ1022は、信号/LAT3Eにตอบสนองして活性状態とされ、フリップフロップFF15の出力Q5を反転して信号線1030および1028上に伝達する。インバータバッファ1024は、信号/LAT4Eにตอบสนองして活性化され、フリップフロップFF17の出力Q7を反転して信号線1028上に伝達する。信号線1030上の信号はOEM発生回路をリセットするために用いられる。信号線1028上の信号はラップ長カウンタ1002を駆動するために用いられる。次に、図85に示すレイテンシカウンタ1000の動作をその動作波形図である図86を参照して説明する。

【0222】インバータバッファ1010～1024は、予め設定されたレイテンシデータに従って選択的に活性状態とされる。たとえばレイテンシが1の場合には、インバータバッファ1010および1018が作動状態とされる。リード検出信号φRが与えられる以前においては、信号線1030および1028ならびに1026の電位は“L”にある。第1サイクルのクロック信号CLKの立上がりエッジにตอบสนองして、リード検出信号φRが発生される。これにตอบสนองして、フリップフロップFF11の出力Q1が“H”に立上がる。以降、フリップフロップFF12～FF18はその与えられたクロック信号の立上がりエッジでその入力に与えられた信号を取込む。したがって、フリップフロップFF11～FF18の出力には、クロック信号CLKの1/2サイクル位相

(48)

特開平6-318391

93

がずれた信号が出力される。

【0223】設定されたレイテンシに従って、このフリップフロップFF11～FF17の出力のいずれかが選択される。したがって、信号線1030上の信号は、クロック信号CLKの立上がりエッジ（インバータ1020～1024はクロック信号CLKに従って与えられた信号を取込むフリップフロップに接続されている）に従って変化する。一方、信号線1026上の信号は、レイテンシ1の場合を除いてクロック信号CLKの反転信号／CLKの立上がりに対応して変化する。レイテンシが1の場合には、信号線1026上の信号はクロック信号CLKの立上がりに対応して変化する。すなわち、信号線1028上の信号電位は信号線1026上の信号電位よりも半サイクル遅れて変化する。なお、図86において、信号線1026、1028および1030上には、クロック信号CLKの2倍のパルス幅を有する1つのパルス信号のみが出現する。信号線1030上の信号は、レイテンシが指定するクロックサイクルよりも1クロックサイクル前に活性化状態となる。OEM発生回路は、したがってこの信号線1030上の信号に従ってセットされ、信号OEMを発生する（レイテンシが1の場合を除く）。レイテンシが1の場合、図84に示すように、プリアンプイネーブル信号PAEの反転信号が3状態インバータバッファ1004から与えられ、この3状態インバータバッファ1004の出力に従ってOEM発生回路1006がセット状態とされる。レイテンシが1の場合には、先読することができないためである。レイテンシが1の場合には、ゲート回路1008により、その出力／DOTは不活性状態の“H”に設定される。

【0224】図87は、図84に示すラップ長カウンタ1002の具体的構成の一例を示す図である。図87を参照して、ラップ長カウンタ1002は、信号線1028上の信号に対応して活性化され、クロック信号CLKおよび／CLKに対応してカウント動作を実行するシフトカウンタ1040と、ラップ長データ／LEN1E、／LEN2E、／LEN4Eおよび／LEN8Eに従って、このシフトカウンタの出力を選択して信号線1050上にOEM発生回路リセット信号RSTを発生する選択回路1042を含む。シフトカウンタ1040は、16段の直列に接続されたフリップフロップFF21～FF36を含む。フリップフロップFF21～FF36各々は図80に示すフリップフロップと同様の構成を備える。フリップフロップFF21～FF36に交互にクロック信号／CLKおよびCLKが与えられる。

【0225】選択回路1042は、駆動状態とされてからラップ長データに従ってクロック数をカウントし、ラップ長データが指定するクロックサイクル数に等しい期間が経過したときにリセット信号を発生するようにこのシフトカウンタ1040の出力を選択する。選択回路1042は、ラップ長データ／LEN1Eに対応してフリ

94

ップフロップFF22の出力を反転して信号線1050上に伝達する3状態インバータバッファ1043と、図示しないフリップフロップFF24の出力を反転増幅する3状態インバータバッファ1044と、図示しないフリップフロップFF28の出力をラップ長データ／LEN4Eにตอบสนองして活性化されて反転増幅して信号線1050へ伝達する3状態インバータバッファ1045と、フリップフロップFF36の出力を選択する3状態インバータバッファ1046を含む。インバータバッファ1046は、ラップ長データ／LEN8Eにตอบสนองして活性化され、フリップフロップFF36の出力を反転増幅して信号線1050上に伝達する。

【0226】この3状態インバータバッファ1043～1046が選択するフリップフロップFFは、クロック信号CLKに従ってその出力状態が変化する。レイテンシカウンタがカウントアップ信号を発生した後ラップ長データが指定するクロックサイクル数（ラップ長+1）が経過した後にOEM発生回路がリセット状態とされる。ラップ長カウンタ1002はさらに、信号線1028上の信号を反転するインバータ1052と、インバータ1052の出力と信号線1026上の信号を受ける2入力NOR回路1055と、信号線1026上の信号を反転するインバータ1054と、信号線1028上の信号とインバータ1054の出力を受ける2入力NAND回路1056と、NOR回路1055の出力とNAND回路1056の出力を受けるゲート回路1057を含む。ゲート回路1057は、NOR回路1055の出力が“H”であるか、NAND回路1056の出力が“L”のときに、リセット信号RESETを発生する。このリセット信号RESETにตอบสนองして、シフトカウンタ1040はその出力状態がすべて“L”にリセットされる。このリセットの構成は、図80に示すフリップフロップにおいて、出力Qに対し、リセット信号RESETにตอบสนองして出力Qを接地電位に結合するトランジスタが1つ設けられればよい。次に、図87に示すラップ長カウンタの動作をその動作波形図である図88を参照して説明する。

【0227】図88においては、レイテンシが2以上の場合の動作波形を示す。クロック信号CLKの立下がりエッジで信号線1026の電位が“L”に立下がると、次いでクロック信号CLKの次の立上がりで信号線1028の信号電位が“L”に立下がる。これにตอบสนองして、インバータ1052の出力が“H”に立上がる。一方、NOR回路1055は、インバータ1052の出力と信号線1026の信号とを受けている。したがって、クロック番号0のクロック信号CLKの立下がりエッジからクロック番号1のクロック信号CLKの立上がりエッジまでNOR回路1055の出力が“H”となる。同様にNAND回路1056の出力も“L”となる。ゲート回路1057の出力がこのNOR回路1055およびゲー

(49)

特開平6-318391

95

ト回路1056の出力に従って“H”となり、リセット信号RESETが発生され、シフトカウンタ1040の出力のリセットが実行される。このリセットの後、クロック信号CLKの立下がりエッジでインバータ1052の出力がフリップフロップFF21により取込まれ、出力Q21が“H”となる。

【0228】次のクロック信号CLKの立下がりに対応して、フリップフロップFF22の出力Q22が“H”に立上がる。以降、1つ置ききのフリップフロップから1クロックサイクルずつ遅れた信号が出力される。フリップフロップFF22の出力Q22はラップ長データwrがラップ長1の場合を示す。バッファ1044の入力はラップ長が2の場合を示す。したがって、レイテンシカウンタがカウントアップを示してから、ラップ長データに等しいクロックサイクル経過後にこの選択回路1042からリセット信号RSTが発生され、OEM発生回路の出力のリセットが実行される。図89はレイテンシが1の場合のラップ長カウンタの動作を示す図である。図89において、レイテンシが1の場合、第1クロックサイクルのクロック信号CLKの立上がりに対応してリード検出信号φRが発生されると、応じて信号線1026の電位が“L”に立下がる。続いてクロック信号の立下がりに対応して信号線1028の電位が“L”に立下がる。

【0229】この第1クロックサイクルにおいて、リード検出信号φRに従って、NOR回路1055およびNAND回路1056の出力がそれぞれ“H”および“L”となる。これによりゲート回路1057の出力が“H”となり、シフトカウンタ1040のリセットが実行される。第1クロックサイクルのクロック信号CLKの立下がりエッジでフリップフロップFF21はその入力INおよびINに与えられた信号を取込む。このとき、インバータ1052の出力はまだ“H”となっていないため、フリップフロップFF21の出力Q21は“L”の状態を維持する。第2クロックサイクルにおいて、クロック信号CLKが“L”に立下がると、フリップフロップFF21がこのインバータ1052の出力を取込み、“H”の信号を出力する。フリップフロップFF22は、このフリップフロップFF21の出力Q21を次のクロック信号CLKの立上がりエッジで取込み、第3クロックサイクルのクロック信号CLKの立上がりエッジで“H”となる信号を生成する。以降、クロック信号CLKの立上がりエッジにおいて、順次必要なラップ長が示すクロックサイクルが経過した後に出力をディスエーブル状態とする信号が発生される。

【0230】上述のようにして、レイテンシ経過後ラップ長サイクルが経過した後にOEM発生回路をリセットする信号が発生される。図90は、図84に示すOEM発生回路の構成の一例を示す図である。図90において、OEM発生回路は、出力と一方入力が交差結合され

96

た2つの2入力NAND回路1060および1062を含む。NAND回路1060の他方入力は3状態インバータバッファ1004の出力および信号線1030に結合される。NAND回路1062の他方入力は信号線1050に結合される。NAND回路1062の出力にインバータ回路1064が設けられる。インバータ回路1064から出力イネーブル信号OEMが発生される。次にこの図90に示すOEM発生回路の動作をその動作波形図である図91を参照して説明する。

【0231】第2クロックサイクルのクロック信号CLKの立上がりに対応して信号線1030の電位が“L”に立上がる（レイテンシカウント完了）。ただしレイテンシが2以上の場合である。これに対応して、OEM発生回路1006においては、NAND回路1060の出力が“H”に変化する。信号線1050上の信号電位は“H”であるため、NAND回路1062の出力が“L”となり、インバータ回路1064から発生される出力イネーブル信号OEMが“H”に立上がる。この出力イネーブル信号OEMに対応して、ゲート回路1008からは、クロック信号CLKに同期する出力制御信号/DOTが発生される。所定のラップ長サイクルが完了すると、信号線1050上の信号電位が“L”に立上がる（第nサイクルのクロック信号CLKの立上がりに対応して）。これにより、NAND回路1062の出力が“H”となる。インバータ回路1064を介して出力イネーブル信号OEMが“L”に立下がり、出力ディスエーブル状態とされる。

【0232】レイテンシ1の場合は、図91において、破線で示す信号波形が現われる。この場合においては、インバータバッファ1004によりブリアンブイネーブル信号PAEに従って出力イネーブル信号OEMが発生される。出力イネーブル信号OEMの立下がりタイミングはレイテンシ2以上の場合と同様である。このとき、ゲート回路1008は、レイテンシが1であるため信号/LAT1Eが“L”であり、出力制御信号/DOTを“H”に固定的に維持する。レイテンシが1の場合には、先読するための出力制御信号DOTおよび/DOTは必要ないためである。

【BA信号発生系】図92はBA信号発生系の構成を示す図である。図92において、BA信号発生系は、リード検出信号φRに対応して所定数のクロックをカウントするとともにそのカウント値が所定値に達したときにカウントアップ信号を発生するカウンタ回路1100と、カウンタ回路1100の出力に対応して制御信号を発生するBA発生回路1106と、BA発生回路1106からの信号をセット信号SETとして受け、所定のラップ長をカウントするラップ長カウンタ1104と、列アクセス時に与えられたバンクアドレスをラッチするBALATCH1108と、BALATCH1108の出力に従って、BA発生回路1106の出力をバンク指定信号BAAま

(50)

特開平6-318391

97

たはバンク指定信号BABとして発生する選択回路1110を含む。ラップ長カウンタ1104は先に図87において示したものと同様の構成を備える。レイテンシ記憶回路1102は、先に図75に示したものと同様の構成を備える。

【0233】カウンタ回路1100は、信号φRにตอบสนองしてクロック信号を順次シフトさせることによりクロック信号CLKをカウントするレイテンシシフトカウンタ1112と、レイテンシシフトカウンタ1112の出力をレイテンシ記憶回路1102の記憶するレイテンシ情報に従って選択する出力選択回路1114を含む。レイテンシシフトカウンタ1112は図85に示すシフトカウンタと同様の構成を備える。出力選択回路1114は同様図85に示す3状態インバータバッファを備え、設定されたレイテンシよりも2クロックサイクル前にカウントアップ信号を発生するようにレイテンシシフトカウンタ1112の出力を選択する。指定されたレイテンシが1の場合には、リード検出信号φRが出力選択回路1114により選択されてBA発生回路1106へ与えられる。BA発生回路1106は、図90に示すOEM発生回路と同様の構成を備え、出力選択回路1114の出力をセット信号として受けて活性状態の制御信号を発生する。ラップ長カウンタ1104はこのBA発生回路からの信号をセット信号として受けて所定のラップ長をカウントする。所定のラップ長が指定するカウント値に到達したときにBA発生回路1106はディスエーブル状態とされる。BA発生回路1106はクロック信号CLKの立下がりにตอบสนองして活性化信号を発生する。選択回路1110は、BAラッチ1108にラッチされたバンクアドレスBAに従って、その出力BABおよびBABの一方を選択する。このように選択されたバンクに対してのみバンク指定信号BAA（またはBAB）が発生される。

【0234】この図92に示すバンク指定信号発生系の構成は、出力選択回路1114が選択するレイテンシシフトカウンタ1112の出力選択位置が異なるだけであり、容易にこの図85、図87および図90に示す構成を利用して実現することができる。図93にこのバンク指定信号BAA（またはBAB）を発生するための動作波形図を示す。図93においては、レイテンシ1および2の場合には、同じタイミングで出力選択回路1114から信号φSOが発生される状態が示される。レイテンシが2の場合にはクロック信号CLKの立下がりにตอบสนองして活性化信号φSOが発生され、レイテンシが1の場合にはこのリード検出信号φRにตอบสนองして図93に示すタイミングより早いタイミングで出力選択回路1114から活性化信号φSOが発生される構成が利用されてもよい。これは、先に図85において示したように、レイテンシ1の場合には直接信号φRにตอบสนองして信号φSOを発生し、レイテンシ2の場合にはクロック信号CLK

98

の立下がりで信号φRを取込み、信号φSOを発生する構成が利用されればよい。

【0235】〔データ書込回路系〕図94は、この発明に従うSDRAMのデータ書込回路系の他の構成を示す図である。図94に示すデータ書込回路系は、上で説明したデータ読出回路系の場合と同様、図1に示すSDRAMおよび図44に示すSDRAMいずれにも適用することができる。このため、以下の説明において、信号/RASは明示しない。信号/RASは適用されるSDRAMの動作方式に従って設定される。図94を参照して、データ書込回路系は、バンク#Aおよびバンク#Bに分割される。バンク#Aおよびバンク#Bは同一の構成のデータ書込回路系を備える。図94においては、バンク#Aにおいて1つのデータ入力端子Dに対して設けられたデータ書込回路系を示す。このバンク#Aおよびバンク#Bのデータ書込系は共通に入力バッファ1200に結合される。入力バッファ1200はクロック信号CLKに従ってデータ入力端子Dに与えられたデータを取込み書込データを生成する。

【0236】バンク#Aは、データ入力端子Dに関連づけられた8対のグローバルIO線対GIO0~GIO7それぞれに対して設けられるライトレジスタWG0~WG7および書込回路WR0~WR7を含む。このデータ書込回路系の動作を制御するために、信号/CASおよびWEおよびクロック信号CLKにตอบสนองして、データ書込モードが指定されたことを検出するライト検出回路1204と、ライト検出回路1204からのライト検出信号φwにตอบสนองして活性化され、クロック信号CLKに同期して書込用ラップアドレスWWYを発生するラップアドレス発生回路1202と、ライト検出回路1204からのライト検出信号φwにตอบสนองして活性化され、クロック信号CLKとラップアドレス発生回路1202からのラップアドレスWWYに従って書込回路WR0~WR7から対応のグローバルIO線対GIO0~GIO7へのデータ書込を制御する書込制御回路1206が設けられる。

【0237】ラップアドレス発生回路1202および書込制御回路1206は、それぞれバンクアドレスBAに従って、指定されたバンクに対してのみラップアドレスおよび書込制御信号を生成するように示される。ラップアドレス発生回路1202および書込制御回路1206それぞれがバンク#Aおよびバンク#Bに対して設けられ、バンクアドレスBAに従って、選択されたバンクに対応するラップアドレス発生回路および書込制御回路が活性化される構成が利用されてもよい。また、ラップアドレス発生回路1202は、リードレジスタを選択するためのリード用ラップアドレスを発生する回路と共用されてもよい。ラップアドレス発生回路1202は、バンクアドレスBAと3ビットのアドレスA0~A2とをデコードし、順次ライトレジスタを選択するためのラップ

(51)

特開平6-318391

99

100

アドレスWWYを発生する。このラップアドレスはクロック信号CLKに同期して順次変化する。ライトレジスタWG0～WG7は、このラップアドレス発生回路1202から与えられたラップアドレスに従って、入力バッファ1200から与えられた書込データを格納する。

【0238】書込制御回路1206は、このラップアドレスWWYに従って、書込回路WR0～WR7を所定数ずつ活性化する。すなわちこの書込制御回路1206は、ライトレジスタWG0～WG7すべてにデータが書込まれたとき（ラップ長8の場合）、書込回路WR0～WR7を同時に活性化するのではない。書込制御回路1206は、たとえば2ビットの有効データが書込まれたときに対応の書込回路を活性化し、対応のグローバルIO線対上へ書込データを伝達する。この所定ビット単位でのデータ書込は以下の利点を備える。常にラップ長で指定された数のデータが与えられるとは限らない。たとえばラップ長8のとき、4個の有効データのみしか与えられない場合もある。このとき、ラップ長8で動作をすると、必要なデータが書込まれた後所定のクロックサイクルが経過した後にしかメモリセルへのデータの書込が行なわれない。したがって、所定のクロックサイクル数が経過するまで書込動作を停止させることができない。データ書込動作中において途中でデータ書込を中止したとき（ラップストップ）、書込データはライトレジスタにしか書込まれていないため、メモリセルへデータの書込が行なわれないためである。しかし、複数ビット単位でデータをライトレジスタからメモリセルへ書込むことにより、ラップストップが生じてても、所定数ビット単位でデータのメモリセルへの書込が行なわれているため、所定数のクロックサイクルごとにラップストップを実行することができ、高速アクセスが可能となる。

【0239】図95は、図94に示す書込制御回路の機能的構成を示す図である。図95において、書込制御回路1206は、ラップ長データを記憶するラップ長設定回路1212と、ラップストップデータを格納するラップストップ長設定回路1214と、ライト検出信号φwにตอบสนองして起動され、ラップ長設定回路1212が指定するラップ長よりも1つ大きい数のクロック数をカウントするカウンタ回路1210を含む。カウンタ回路1210はその出力WDEをライト検出信号φwにตอบสนองして活性化し、ラップ長設定回路1212が指定するラップ長よりも1つ大きい数のクロックサイクルにตอบสนองして非活性化する。書込制御回路1206はさらに、カウンタ回路1210からの出力WDEとラップストップ長設定回路1214からのラップ長データとにตอบสนองして転送を可能とする転送タイミング信号を発生する転送タイミング発生回路1216と、転送タイミング発生回路1216の出力とラップアドレスWWYとにตอบสนองしてラップアドレスWWYが指定するライトレジスタ（書込回路）に対する転送を可能にする転送制御信号WEEを発生する

転送制御信号発生回路1218と、転送制御信号発生回路1218からの転送制御信号WEEとカウンタ回路1210の出力WDEとにตอบสนองして書込回路WR0～WR7のデータ転送を制御する転送制御回路1220を含む。

【0240】転送タイミング発生回路1216は、信号WDEが活性状態のとき、ラップストップ長設定回路1214が指定するラップストップ長ごとに不活性状態となる転送タイミング信号を発生する。すなわち、ラップストップ長データは1つのデータ転送サイクルを規定する。転送制御信号発生回路1218は、ラップアドレスWWYが指定するライトレジスタ（書込回路）に対し転送タイミング発生回路1216の出力が活性状態のときの対応の書込回路からグローバルIO線対GIOへのデータ転送を可能にする書込イネーブル信号WEEを発生する。転送制御回路1220はカウンタ回路1210の出力WEEが活性状態のとき、この転送制御信号発生回路1218からの転送制御信号（書込イネーブル信号）WEEにตอบสนองしてデータ転送を実行する。

【0241】[ライトレジスタ/書込回路] 図96は、図94に示すライトレジスタおよび書込回路の具体的構成を示す図である。図96においては、図95に示す転送制御回路1220をも合わせて示す。図96においては、1ビットデータレジスタWG1および書込回路WR1が代表的に示される。ライトレジスタWG0～WG7および書込回路WR0～WR7は図示の構成と同一の構成を備える。図96において、転送制御回路1220は、信号WEE1およびWDEを受ける2入力NAND回路1246と、NAND回路1246の出力を受けるインバータ回路1245を含む。信号WEE1およびWDEがともに“H”となったとき、NAND回路1246の出力が“L”となり、グローバルIO線GIO1およびGIO1上へのデータ転送が可能となる。

【0242】ライトレジスタWG1は、ラップアドレス/WWY1にตอบสนองして、入力バッファ（図94参照）から与えられる書込データWDおよびWDを取込む第1のラッチ回路1300と、インバータ回路1245の出力にตอบสนองして、第1のラッチ回路1300のラッチデータを取込む第2のラッチ回路1310を含む。第1のラッチ回路1300は、ラップアドレス/WWY1と書込データWDを受ける2入力OR回路1230と、ラップアドレス/WWY1と書込データ/WDを受ける2入力OR回路1232と、OR回路1230および1232の出力をそれぞれ一方入力に受ける2入力NAND回路1231および1233を含む。NAND回路1231および1233はその他方入力と出力が交差結合される。第2のラッチ回路1310は、インバータ回路1245の出力とNAND回路1231の出力を受ける2入力OR回路1234と、インバータ回路1245の出力とNAND回路1233の出力とを受ける2入力OR回

(52)

特開平6-318391

101

路1236と、OR回路1234および1236の出力をそれぞれの一方入力に受ける2入力NAND回路1235および1237を含む。NAND回路1235および1237は、その他方入力と出力が交差結合される。

【0243】第1のラッチ回路1300は、ラップアドレス/WWY1が“L”のとき、書込データWDおよびWDを取込み、ラップアドレス/WWY1が“H”となると、この取込んだ信号のラッチ状態となる。第2のラッチ回路1310は、インバータ回路1245の出力が“L”のとき、第1のラッチ回路1300の出力を取込み、インバータ回路1245の出力が“H”となると、データラッチ状態となる。書込回路WR1は、NAND回路1246の出力にตอบสนองして、第2のラッチ回路1310のラッチデータを伝達する転送回路1320と、転送回路1320の出力を増幅してグローバルIO線GIO1およびGIO1上へ伝達するプリアンプ1330を含む。転送回路1320は、第1のラッチ回路のNAND回路1235の出力と転送制御回路1220のNAND回路1246の出力を受ける2入力NOR回路1238と、NAND回路1237の出力とNAND回路1246の出力とを受ける2入力NOR回路1239を含む。転送回路1320は、NAND回路1246の出力が“L”となるとインバータとして機能し、第2のラッチ回路1310のラッチデータを伝達する。NAND回路1246の出力が“H”のとき、NAND回路1238および1239の出力はともに“L”となる。

【0244】プリアンプ1330は、電源ノードと接地電位ノードとの間に直列に接続されるnチャンネルMOSトランジスタ1240および1241と、電源供給ノードと接地電位ノードとの間に直列に接続されるnチャンネルMOSトランジスタ1242および1243を含む。トランジスタ1240および1243のゲートへ転送回路1320のNOR回路1238の出力が伝達される。トランジスタ1241および1242のゲートへ転送回路1320のNOR回路1239の出力が与えられる。プリアンプ1330は、ノードQ64およびQ65の電位がともに“L”のとき、トランジスタ1240～1243がすべてオフ状態となり、出力ハイインピーダンス状態となる。次にこの図96に示す回路の動作について、その動作波形図である図97を参照して説明する。

【0245】まずライト動作が指定されると、信号WDEが“H”に立上がる。この信号WDEが“H”の期間はラップ長データwrが指定するクロックサイクル数より1クロックサイクル長い。この期間において、書込データWDが“H”に立上がる（データ“1”書込のとき）。この後、ラップアドレス/WWY1が選択状態となり、“L”に立下がる。ラップアドレス/WWY1の立下がりにตอบสนองして、第1のラッチ回路1300のラッチノードQ60は、この書込データWDを反転した値のデータをラッチする状態となる。それまでは前のアクセ

102

スサイクルにおいて書込まれたデータがラッチされている。次いで、信号WEE1がこのラップアドレスWWY1に従って選択状態となり、“H”に立上がる。これにより、第2のラッチ回路1310が第1のラッチ回路1300のラッチしたデータをラッチし、ラッチノードQ62の電位が“H”となる。これと並行して、転送回路1320が導通状態となり、ノードQ64の電位が“L”に確定する。ここで、信号WEE1が“H”となるまでは、転送回路1320の出力はともに“L”にリセットされている。これにより、トランジスタ1240および1243がオフ状態、トランジスタ1242および1241がオン状態となり、グローバルIO線GIO1上の電位が上昇し、データ“1”が書込まれる。ここで、図97においては、グローバルIO線GIO1の電位がプリチャージ電位からメモリの読出データに従って変化し、その後書込データに応じて変化する状態が示される。グローバルIO線GIO1およびGIO1がプリチャージ電位でフローティング状態にあり、ローカルIO線対と接続される前に、このプリアンプ1330が作動状態とされてもよい。

【0246】[WDE信号発生系] 図98は、図95に示すラップ長設定回路およびカウンタ回路の具体的構成例を示す図である。図98において、ラップ長設定回路およびカウンタ回路は、ラップデータwrに従ってクロック数(wr+1)をカウントする(wr+1)カウンタ1350と、ライト検出回路1204からのライト検出信号φwにตอบสนองしてセットされ、(wr+1)カウンタ1350のカウントアップ信号にตอบสนองしてリセットされるフリップフロップ1360を含む。フリップフロップ1360は、ライト検出信号φwをその一方入力に受ける2入力NOR回路1361と、(wr+1)カウンタ1350からの出力をその一方入力に受ける2入力NOR回路1362を含む。NOR回路1361および1362はその他方入力と出力とが交差結合される。NOR回路1362から信号WDEが出力される。

【0247】(wr+1)カウンタ1350は図85に示すシフトカウンタと同様の構成を備え、ライト検出信号φwにตอบสนองしてクロック信号CLKをカウントする。そのカウント値がラップデータwrが示すラップ長よりも1大きくなったときにリセット信号を発生する。この(wr+1)カウンタ1350はラップ長設定回路を含む。図99はこの図98に示す回路の動作を示す信号波形図である。以下図99を参照して図98に示すカウンタ回路の動作について説明する。第1クロックサイクルにおいて、信号/CASおよびWEが“L”に設定され、ライトモードが指定される。これにตอบสนองして、ライト検出回路1204からライト検出信号φwが発生される。これにตอบสนองして、フリップフロップ1360はセット状態となり、NOR回路1362の出力信号WDEが“H”に立上がる。(wr+1)カウンタ1350はこ

(53)

特開平6-318391

103

のライト検出信号 ϕw に応答してクロック信号CLKのカウント動作を実行する。ラップ長が n の場合、 $(wr+1)$ カウンタ1350は第 $(n+1)$ サイクルのクロック信号の立上がりに応答してリセット信号 ϕRES を発生する。図99においては、第 $(n+1)$ サイクルのクロック信号の立下がり同期してリセット信号 ϕRES が発生される状態が示される。これにより、フリップフロップ1360はリセットされ、信号WDEが“L”に立下がる。

【0248】図98に示す構成においては、ライト検出信号 ϕw に応答してNOR型フリップフロップをセットし、 $(wr+1)$ カウンタ1350は、クロック信号CLKの立下がり同期してリセット信号 ϕRES を発生している。これに代えて、フリップフロップ1360のセット入力 S へはライト検出信号 ϕw の遅延信号が与えられてもよい。また $(wr+1)$ カウンタ1350はクロック信号の立上がり同期して活性化信号を発生し、この活性化信号を所定時間遅延させた信号がフリップフロップ1360のリセット入力 R へ与えられる構成が利用されてもよい。

【WEE信号発生系】図100は、図95に示す転送制御信号発生回路の具体的構成を示す図である。図100において、転送制御信号発生回路1218は、信号/WERSTfを一方入力に受ける2入力NAND回路1370と、マスクデータMDとラップアドレス/WWYiを受ける2入力NOR回路1372と、NOR回路1372の出力を一方入力に受け、NAND回路1370の出力を他方入力に受けるゲート回路1374と、信号/WERSTをその一方入力に受ける2入力NAND回路1376と、NAND回路1370の出力を一方入力に受け、他方入力にNAND回路1376の出力を受ける2入力NAND回路1375を含む。

【0249】NAND回路1370はその他方入力にゲート回路1374の出力を受け、NAND回路1376はその他方入力にNAND回路1375の出力を受ける。NAND回路1376の出力を受けるインバータ回路1377から信号WEEiが発生される。信号/WERSTは、信号WERSTfの遅延信号である。信号MDはライトマスクデータであり、このデータMDが“H”となったときにはデータ書込に対しマスクがかけられる(図27参照)。このマスクデータMDが“H”のときNOR回路1372の出力は“L”に固定される。信号/WERSTfおよび/WERSTの“L”、“H”に係わらずNAND回路1375の出力は“L”固定になり、信号WEEiは“L”となる。すなわちこのマスクデータMDが活性状態にありデータ書込に対しマスクがかけられている場合には、データ転送は実行されない。次にこの図100に示す転送制御信号発生回路の動作についてその動作波形図である図101および図102を参照して説明する。

104

【0250】図101は、ラップ長が4であり、ラップストップビット長が2に設定された際の動作波形を示す。マスクデータMDは“L”である。第1クロックサイクルにおいて、信号/CASが“L”に立下がり、列選択動作開始が指定されるとともにデータ書込動作が指定される。これに応答して、ラップアドレス/WWYiが発生され、かつ信号WDEが“H”に立上がる。信号WDEの立上がりに応答して、信号/WERSTfが“H”の不活性状態に立上がり、所定の遅延時間において、信号/WERSTが“H”に立上がる。このとき、ラップアドレス/WWYiが“L”にあると、NOR回路1372の出力が“H”に立上がり、応じてゲート回路1374の出力が“H”に立上がる。信号/WERSTfが“H”となると、NAND回路1370の出力が“L”に変化し、応じてNAND回路1375の出力が“H”となる。信号/WERSTが次いで“H”に立上がり、NAND回路1376の出力が“L”となり、インバータ回路1377からの信号WEEiが“H”に立上がる。

【0251】信号/WERSTfは列アクセスが開始されてからすなわちデータ書込が指定されてから予め定められたラップストップ長のクロックサイクルが経過した後に“L”に立下がる。図101においては、ラップストップ長が2に設定されており、第3クロックサイクルのクロック信号CLKの立上がりエッジに応答して、“L”に立下がる。これにより、NAND回路1370の出力が“H”、かつNAND回路1376の出力が所定の遅延時間遅れて“H”に立上がり、信号WEEiが“L”に立下がる。これによりこのラップアドレスWWYiが指定するライトレジスタおよび書込回路から対応のグローバルIO線GIOiおよび/GIOiへのデータ転送(データの書込)が完了する。所定時間経過後再び信号WDEが“H”にあると、信号/WERSTfおよび/WERSTがそれぞれ“H”に立上がる。次のラップアドレスの取込および信号WEEiの発生が実行される。

【0252】信号/WERSTfが“H”にある期間において、ラップアドレス/WWYiが“L”から“H”に変化しても、ゲート回路1374の偽入力へは“L”の信号が与えられており、NAND回路1370の出力は変化しない。すなわち、信号/WERSTfが“H”に変化すると、そのときに活性状態となったラップアドレスがラッチされる。信号/WERSTfは図101に示す実施例においては、2クロックサイクルごとにラップアドレスWWYをラッチしている。信号WERSTが信号/WERSTfよりも遅れて活性状態とされているのは、選択メモリセルへのデータ書込時間を確保するためである。すなわち、図101に示す実施例において、2ビットずつデータを書込む構成の場合、第3クロックサイクルにおいても選択メモリセルへのデータ書込を行

(54)

特開平6-318391

105

なうことができ、十分なデータ書込時間を確保することができる。2ビット単位でデータの書込を実行しているため、2クロックサイクルごとにラップストップを実行することができる。

【0253】たとえば図101に示す構成において、第6クロックサイクルにおいて列アクセスを開始しデータ書込を実行したとき、第8クロックサイクルにおいてラップストップをかけ、新たな列アクセスを開始した状態を考える。このとき信号WEE0およびWEE1が活性状態とされており、これらの信号に対応するライトレジスタから2ビットのメモリセルへのデータの書込が行なわれている。したがってこの状態で新たな列アクセスを開始しても、先に書込まれた2ビットのデータは選択メモリセルへ書込まれている。図102は、ラップ長が1の場合のデータ書込動作を示す信号波形図である。ラップ長が1の場合には、外部からのデータは1ビットしか入力されない。したがって1ビットごとに選択メモリセルへデータの書込を行なう必要がある。このため図102に示すように、信号/WERSTfはラップ長が2以上の場合よりも1クロックサイクル早く非活性状態（“H”）に設定する。信号/WERSTは第2クロックサイクルにおいても非活性状態を維持する。この状態で、ライトレジスタから選択メモリセルへのデータの書込が行なわれている。すなわち図102に示す場合、第1クロックサイクルにおいて、信号/WERSTfおよび/WERSTが非活性状態となり（“H”状態）、第2クロックサイクルが始まると、信号/WERSTfが活性状態となり、第2クロックサイクルのクロック信号CLKの立下がりに応答して信号/WERSTおよびWEE0が“L”に立下がる。

【0254】〔転送タイミング発生系〕図103は、制御信号/WERSTfおよび/WERSTを発生するための回路構成を示す図である。この図103に示す回路は、図95に示す転送タイミング発生回路1216に対応する。図103を参照して、転送タイミング発生回路1216は、信号WDEに応答してクロック信号CLKをカウントし、タイミング信号を発生するタイミング回路1380と、このタイミング回路1380からのタイミング信号を論理処理して信号/WERSTfおよび/WERSTを発生する論理ゲート1382を含む。図104は、図103に示すタイミング回路の構成の一例を示す図である。図104を参照して、タイミング回路1380は、信号WDEおよび/WDEをクロック信号CLKに応答して取込むフリップフロップFF79と、信号WDEとフリップフロップFF79の出力Q80と、ストップビット長を規定する（本実施例においてはストップビット長が2）信号をフリップフロップFF81の相補出力から受ける3入力NAND回路1395と、NAND回路1395の出力を反転するインバータ回路1397と、NAND回路1395の出力とインバ

106

ータ回路1397の出力を信号CLKの立上りに同期して取込むフリップフロップFF80と、フリップフロップFF80の出力Aおよび/Aをクロック信号CLKの立上りに同期して取込むフリップフロップFF81と、フリップフロップFF81の出力をクロック信号CLKに立上りに同期して取込むフリップフロップFF82と、フリップフロップFF82の出力Bおよび/Bをクロック信号CLKの立上りに応答して取込むフリップフロップFF83を含む。

【0255】フリップフロップFF80～FF83はフリップフロップFF79と同一構成を備える。フリップフロップFF79は、4つのNAND回路1390、1392、1394および1396を含む。このフリップフロップFF79の構成は、図80に示すフリップフロップと同じ構成であり、与えられるクロック信号の立上りに応答して、与えられた信号を取込む動作を実行する。次に図104に示すタイミング回路の動作をその動作波形図である図105を参照して説明する。クロックサイクル1において、信号WDEが“H”に立下がる。このとき相補信号/WDEが“L”となる。クロック信号CLKの立下がりに同期して、フリップフロップFF79の出力Q80が“H”に立下がる。この第1クロックサイクルのクロック信号CLKの立下がりに応答してフリップフロップFF81はフリップフロップFF80の出力Aおよび/Aの信号電位を通過させる。このとき、フリップフロップFF80の出力/Aは“H”である。したがって、NAND回路1395の出力がすべて“H”となり、NAND回路1395の出力は“L”となり、かつインバータ1397の出力が“H”となる。

【0256】第2クロックサイクルにおいて、クロック信号CLKの立上りに応答して、フリップフロップFF80がこのインバータ回路1397およびNAND回路1395の出力を取込む。これによりフリップフロップFF80の出力Aの電位が“H”に立下がる。この第2クロックサイクルのクロック信号の立下がりに応答して、フリップフロップFF81がフリップフロップFF80の出力Aおよび/Aを取込み、フリップフロップFF81の出力Q82の電位が“H”となる。第3クロックサイクルにおいて、フリップフロップFF81の出力Q82が“H”であるためNAND回路1395の出力は“H”となり、インバータ回路1397の出力が“L”となる。したがってこの第3クロックサイクルにおいて、フリップフロップFF80の出力Aが“L”に立下がる。

【0257】一方、フリップフロップFF82の出力Bは“H”に立下がる。この第3クロックサイクルのクロック信号の立下がりに応答して、フリップフロップFF83がフリップフロップFF82の出力Bおよび/Bを取込むため、このフリップフロップFF83の出力Cが“H”に立下がる。一方、フリップフロップFF81は

(55)

特開平6-318391

107

フリップフロップFF80の出力Aおよび/Aを取込むため、このノードQ82の出力が“L”に立下がる。以降、この動作が信号WDEが“H”の間繰返される。図105においては、ラップ長が4の場合が示されており、信号WDEが第5クロックサイクルにおいて、クロック信号CLKの立上がりまたは立下がりに応答して“L”に立下がる。これにより、フリップフロップFF80、FF81、FF82およびFF83の出力がそれぞれ1/2クロックサイクルずつずれて順次“L”に立下がる。フリップフロップFF80ないしFF83は、それぞれ信号WDEに応答して、位相がクロック信号CLKの1/2サイクルずれており、かつそのパルス幅がクロック信号CLKの2倍であるパルス信号を発生している。フリップフロップFF80～FF83の出力信号を組合せることにより信号/WERSTfおよび/WERSTをストップビット長2として発生することができる。このストップビット長が2であるため、フリップフロップFF81の出力がNAND回路1395へフィードバックされている。ストップビット長がさらに延びる場合には、さらにこのフリップフロップを接続し、後段のフリップフロップの出力がNAND回路1395へ与えられる。

【0258】図106は、図103に示す論理ゲート1382の具体的構成を示す図である。図106を参照して、論理ゲート1382は、図104に示すタイミング回路のフリップフロップFF80の相補出力/AとフリップフロップFF83の出力Cを受けるOR回路1400と、信号WDEとOR回路1400の出力を受ける2入力NAND回路1402と、ラップ長指定信号LEN1Eおよび/LEN1Eに応答して、NAND回路1402の出力を反転増幅する3状態インバータバッファ1408と、図104に示すフリップフロップFF82の反転出力/BとフリップフロップFF83の出力Cを受けるOR回路1404と、信号WDEとOR回路1404の出力を受ける2入力NAND回路1406と、NAND回路1406の出力を所定時間遅延させる遅延回路1410と、NAND回路1406の出力をラップ長指定信号LEN1Eおよび/LEN1Eに応答して活性化されて反転増幅する3状態インバータバッファ1409を含む。

【0259】信号LEN1Eは、ラップ長が1の場合に“H”となる。すなわちラップ長が1に指定された場合には、インバータバッファ1408が活性状態とされる。ラップ長が2以上の場合には、インバータバッファ1409が活性状態とされる。次に図106に示す論理ゲートの動作をその動作波形図である図107を参照して説明する。信号WDEが“H”に立上がると、NAND回路1402および1406がインバータ回路として機能する。ノード/Aおよび/Bはまだこのとき“H”の状態を維持しており、したがってNAND回路140

108

2および1406の出力がこの信号WDEの立上がりに応答して“L”に立下がる。ラップ長指定信号LEN1Eが“H”および“L”いずれの場合であっても、信号/WERSTfの電位が“H”に立上がる。これにより遅延回路1410からの信号/WERSTが所定時間遅れて“H”に立上がる。ラップ長が1の場合には、インバータバッファ1408が活性状態とされる。第2クロックサイクルにおいて、ノード/Aが“L”に立下がると、OR回路1400の出力が“L”となり、応じてインバータバッファ1408からの出力が“L”に立下がる。

【0260】ラップ長が2以上の場合には、インバータバッファ1409が活性状態とされる。したがって、ノード/Bの電位が“L”に立下がる第3クロックサイクルのクロック信号CLKの立上がりに応答して、インバータバッファ1409の出力が“L”に立下がる。これによりラップストップ長が2の場合において、2クロックサイクルごとにラップアドレスをラッチしてデータを書込む構成およびラップ長1の場合に各ビット単位でデータを書込む構成を実現することができる。なお、信号/WERSTはNAND回路1406の出力を遅延回路1410を通して発生している。これは信号/WERSTfを遅延回路1410を通して発生するように構成されてもよい。この場合には、ラップ長1のときには、信号/WERSTが第1クロックサイクルのクロック信号の立下がりエッジから第2クロックサイクルのクロック信号の立下がりエッジまで“H”の不活性状態とされる。

【0261】上述の構成の書込制御回路を利用することにより、ラップストップ動作を実現することができ、高速でアクセスすることのできるSDRAMを得ることができる。

〔グローバルIO線のプリチャージ/イコライズタイミングの制御〕図18および図19に見られるように、グローバルIO線対GIOには、イコライズトランジスタGEQが設けられている。グローバルIO線対GIOは、図63および図94に示すようにリードレジスタおよびライトレジスタに結合されて、内部データを選択メモリセルとリードレジスタ/ライトレジスタとの間で伝達する。この内部データの伝達の高速化および消費電流の低減を図るために、グローバルIO線対は、イコライズ信号φGEQに応答するイコライズトランジスタGEQによりグローバルIO線対の各グローバルIO線の電位をイコライズして中間電位（論理ハイレベルと論理ローレベルとの間の電位）にプリチャージする。選択メモリブロックに対して設けられているローカルIO線対LIOに対しては同様にイコライズする必要が生じる。非選択メモリブロックに対して設けられているローカルIO線対LIOに対しては、内部データは伝達されないため、スタンバイ状態が維持される。

(56)

特開平6-318391

109

【0262】以下の説明においては、グローバルIO線対に対するイコライズ動作について説明するが、選択メモリブロックに対して設けられたローカルIO線対に対してもグローバルIO線対と同様のイコライズタイミング制御が実行される。以下このイコライズタイミング制御について説明する。

(1) 制御方法1

図108は、第1の内部データ線イコライズタイミング制御方法を示すタイミングチャート図である。なお以下の説明において、内部データ線は、グローバルIO線と、選択メモリブロックに対して設けられたローカルIO線両者を含む。この図108に示すイコライズタイミング制御は、図97ないし図99に示す書込制御方法に対応する。

【0263】図97ないし図99に示すように、外部クロック信号CLK (ext. CLK) の立上がり時に、外部コラムアドレスストロブ信号/CAS (ext./CAS) がローレベルにあれば、列選択動作の開始が指示される。ライトイネーブル信号/WEがそのときローレベルにあれば、データ書込が指定され、ライトイネーブル信号/WEがハイレベルにあればデータ読出が指定される。図99に示すように、ライトレジスタに含まれる書込回路は、書込イネーブル信号WDEiと信号WDEに従って内部データ線へデータを書込む。この書込制御信号WDEは、データ書込指示が与えられてからラップ長に等しいクロックサイクルが経過した後次のクロックサイクルにおいて非活性状態とされる。この図108においては、ラップ長が4の場合のデータ書込動作シーケンスを示す。また内部データ線としては、4つのグローバルIO線対GIO1ないしGIO4のみを示す。次に動作について説明する。

【0264】スタンバイ時(列選択指示が与えられる前)においては、イコライズ信号φGEQはハイレベルにある。この状態においては、グローバルIO線対GIO1はすべて中間電位にイコライズ(プリチャージ)されている。クロックサイクル1において、外部クロック信号ext. CLKの立上がりにおいて外部コラムアドレスストロブ信号ext./CASがローレベルに設定されると、列選択開始指示(コラムアクセス開始指示)が与えられる。今、図には示していないが、ライトイネーブル信号/WEもローレベルにあり、データ書込が指定されたと想定する。この状態においては、データ入出力端子D/Qに与えられたデータD1がラップアドレス/WWY(図96参照)に従ってライトレジスタに格納される。このとき内部書込制御信号WDEがまたデータ書込を示すライトコマンドにตอบสนองして活性状態のハイレベルに設定される。この書込制御信号WDEは、ライトコマンドが与えられてからラップ長をカウントし、その次のクロックサイクルにおいて非活性状態とされる。

【0265】このときまた、列選択開始指示信号(ライ

110

トコマンド)が与えられると、イコライズ信号φGEQが非活性状態とされローレベルとなる。これによりグローバルIO線対GIO1ないしGIO4はフローティング状態とされる。同時にまた、列選択開始指示信号にตอบสนองして内部で列選択信号CSLがハイレベルとされ、この列選択信号CSLにより、選択されたメモリセルブロック内のデータがローカルIO線を介してグローバルIO線上へ伝達される。次いで第1クロックサイクルにおいて、取込まれたデータD1がグローバルIO線対GIO1へ伝達される。以降、各クロックサイクルにおいて、データ入出力端子D/Qへ与えられたデータD2、D3およびD4がライトレジスタに格納され、次いで転送制御信号WEEに従って内部データ線、すなわちグローバルIO線対GIO2、GIO3およびGIO4上へ伝達される。

【0266】ラップ長データD1~D4が内部データ線GIO1~GIO4上へ伝達され、ローカルIO線対を介して選択メモリセルへ書込まれると、ラップ長に等しいクロックサイクルが列選択開始指示(ライトコマンド)が与えられてから経過すると、次のクロックサイクルにおいて、列選択信号CSLが非活性状態となる。またこのとき、イコライズ信号φGEQがこのクロック信号に同期して活性化されてハイレベルとなる。これにより、グローバルIO線対GIO1~GIO4は、中間電位にプリチャージ/イコライズされる。このときにまた、書込イネーブル信号WDEが非活性状態のローレベルとなる。上述のように、列選択開始指示が与えられるとイコライズ信号φGEQを非活性状態とし、列選択開始指示信号が与えられてラップ長に等しいクロックサイクルが経過した後、次のクロックサイクルにおいてこのイコライズ信号φGEQを再びスタンバイ状態のハイレベル(活性状態)とすることにより、データ書込前に、一旦グローバルIO線対をイコライズした後にデータを書込む必要がなくなり、高速でデータを書込むことができる。

【0267】ラップ長が変更された場合、そのラップ長データに従ってイコライズ信号φGEQが活性状態とされる。したがって、常に最適なタイミングでイコライズ信号φGEQを発生することができる。図109は、データ読出時におけるイコライズ制御方法を示す図である。図109においては、CASレイテンシが3、ラップ長が4の場合のイコライズ制御動作が示される。以下、図109を参照してデータ読出時におけるイコライズタイミング制御動作について説明する。クロックサイクル1において、外部クロック信号ext. CLKの立上がりエッジで、外部コラムアドレスストロブ信号/CASがローレベルに設定される。図示しないライトイネーブル信号/WEはハイレベルに設定される。これにより列選択開始指示が与えられるとともに、データ読出が指定される(リードコマンドが与えられる)。この列

(57)

特開平6-318391

111

選択開始指示にตอบสนองして、イコライズ信号φGEQが非活性状態のローレベルとされる。これにより、グローバルIO線対GIOは、イコライズ電位でフローティング状態とされる。

【0268】列選択信号CSLがハイレベルに立上がると、選択メモリセルブロックにおける対応の列上のメモリセルのデータがローカルIO線対LIOを介してグローバルIO線対GIO1～GIO4へ伝達される。このグローバルIO線対GIO1～GIO4上に現われたデータは、図64に示すように、並列にリードレジスタへ伝達される（プリアンプを介して）。このグローバルIO線対GIO1～GIO4上のデータのリードレジスタへの転送後、イコライズ信号φGEQが活性状態のハイレベルとされ、グローバルIO線対GIO1～GIO4の電位は中間電位にイコライズされる。このリードレジスタに格納されたデータは、CASレイテンシが経過したクロックサイクル（サイクル4）から順次クロック信号ext、CLKに同期して出力データQ1、Q2、Q3およびQ4としてデータ入出力端子D/Qへ伝達される。

【0269】図109に示すように、グローバルIO線対GIO1～GIO4上のデータがリードレジスタに転送された後に、グローバルIO線対GIO1～GIO4をイコライズしているため、グローバルIO線対を、データがそこに読出される前にイコライズする必要がなく、高速でデータの読出を行なうことができる。図110は、図108および図109に示すイコライズ信号を発生するための構成を示す図である。図110において、イコライズ信号発生部は、外部クロック信号CLKに同期して外部信号/CS、/CASおよび/WEを取込み、列選択開始指示の有無およびリード/ライトモードを判定するコラムアクセス判定回路2000と、外部クロック信号CLKに同期して信号/WE、CASおよびアドレス信号Addを取込み、WCBR条件が指定されたときにその時のアドレス信号Addをデコードし、ラップ長データとして格納するラップ長設定回路2003と、コラムアクセス判定回路2000からの列選択開始指示検出信号にตอบสนองして活性化されて外部クロック信号CLKをカウントし、そのカウント値がラップ長設定回路2003に設定されたラップ長に等しくなるとカウントアップ信号を発生するカウンタ2001と、コラムアクセス判定回路2000の出力とプリアンプイネーブル信号PAE（図63～図65参照）とカウンタ2001のカウントアップ信号にตอบสนองしてイコライズ信号φGEQを発生するイコライズ信号発生回路2002を含む。イコライズ信号発生回路2002からのイコライズ信号φGEQは、グローバルIO線対GIO1、/GIO1に設けられたイコライズトランジスタGEQのゲートへ与えられる。

【0270】カウンタ2001の構成としては、たとえ

112

ば図85に示すレイテンシカウンタと同様の構成を利用することができる。またカウンタ2001としては、図79に示す構成と同様の構成が利用されてもよい。ラップ長設定回路2003は、図70に示すWCBR検出回路862とラップ長デコードラッチ870とに対応する。図111は、図110に示すコラムアクセス判定回路およびイコライズ信号発生回路の構成の一例を示す図である。図111において、コラムアクセス判定回路2000は、内部クロック信号CLKに同期して信号/CS、/CASおよび/WEを取込み、ライトコマンドが与えられたか否かを検出するライトコマンド検出回路2010と、外部クロック信号CLKに同期して、信号/CS、/CASおよび/WEを取込み、リードコマンドが与えられたか否かを検出するリードコマンド検出回路2012と、外部クロック信号CLKに同期して、信号/CS、/CAS、/WEおよび/RASを取込み、プリチャージコマンドが与えられたか否かを検出するプリチャージコマンド検出回路2014と、ライトコマンド検出回路2010からのライトコマンド検出信号にตอบสนองしてセットされ、プリチャージコマンド検出回路2014からのプリチャージコマンド検出信号にตอบสนองしてリセットされるセット/リセットフリップフロップ2016と、リードコマンド検出回路2012からのリードコマンド検出信号にตอบสนองしてセットされ、プリチャージコマンド検出回路2014からのプリチャージコマンド検出信号にตอบสนองしてリセットされるセット/リセットフリップフロップ2018を含む。

【0271】フリップフロップ2016および2018は、セット時にそのQ出力からハイレベルの信号を出力し、リセット時にQ出力からローレベルの信号を出力する。ライトコマンド検出回路2010、リードコマンド検出回路2012およびプリチャージコマンド検出回路2014がそれぞれコマンドを検出する態様は、図39に示す外部制御信号の状態の組合せを参照されたい。フリップフロップ2016のQ出力は図110に示すカウンタ2001へカウント開始指示信号（カウンタ活性化信号）として与えられる。カウンタ2001は、このフリップフロップ2016からのQ出力がハイレベルのときに外部クロック信号CLKをカウントし、そのカウント値がラップ長設定回路2003に含まれたラップ長に到達したとき、次のクロック信号にตอบสนองしてカウントアップ信号φCNTを発生する。

【0272】イコライズ信号発生回路2002は、図110に示すカウンタ2001からのカウントアップ（ラップ長+1のカウント値）を示すカウントアップ信号φCNTと、セット/リセットフリップフロップ2016からのQ出力を受けるAND回路2020と、セット/リセットフリップフロップ2018のQ出力と、プリアンプイネーブル信号PAE（図64、図55および図57参照）とを受けるAND回路2022と、AND回路

(58)

特開平6-318391

113

2020および2022の出力を受けるOR回路2024と、コマンド検出回路2010および2012の出力を受けるOR回路2026と、OR回路2024の出力にตอบสนองしてセットされ、OR回路2026の出力にตอบสนองしてリセットされるセット／リセットフリップフロップ2028を含む。

【0273】セット／リセットフリップフロップ2028のリセット入力Rへは、OR回路2026の出力を受けるワンショットパルス発生回路2027の出力が与えられる。信号φCNT、およびPAEはパルス信号であり、所定の期間のみセット信号がOR回路2024から発生される。リセットパルスを所定の時間幅のパルスとするためにワンショットパルス発生回路2027が設けられる。このセット／リセットフリップフロップ2028からイコライズ信号φGEQが発生される。次に動作について簡単に説明する。ライトコマンドまたはリードコマンドが与えられた場合には、フリップフロップ2016または2018のQ出力がハイレベルとなり、またOR回路2026の出力がハイレベルとなり、応じてワンショットパルス発生回路2027から所定の時間幅を有するワンショットのパルスが発生され、セット／リセットフリップフロップ2028のリセット入力Rへ与えられる。これにより、フリップフロップ2028のQ出力から出力されるイコライズ信号φGEQがローレベルとなる。

【0274】ライトコマンドが与えられた場合には、フリップフロップ2016の出力Qがハイレベルとなる。これに従って、図110に示すカウンタ2001が活性化され、内部クロック信号CLKをカウントする。カウンタ2001のカウント値が図110に示すラップ長設定回路2003に格納されたラップ長データよりも1大きい値となると、カウントアップ信号φCNTが発生される。これに従って、AND回路2020の出力がハイレベルとなり、OR回路2024を介してセット／リセットフリップフロップ2028がセットされ、イコライズ信号φGEQがハイレベルとなる。リードコマンドが与えられた場合には、フリップフロップ2018のQ出力がハイレベルとなる。このとき、フリップフロップ2016はセットされていないため、そのQ出力はローレベルでありカウンタ2001はカウントアップ動作を実行しない。プリアンブイネーブル信号PAEがハイレベルへ所定期間立上があると、AND回路2022の出力がハイレベルとなり、OR回路2024を介してセット／リセットフリップフロップ2028がセットされ、イコライズ信号φGEQがハイレベルとなる。

【0275】1つのメモリサイクルが完了し、プリチャージコマンドが与えられると、フリップフロップ2016および2018はリセットされ、そのQ出力がともにローレベルとなる。このとき、既にセット／リセットフリップフロップ2028は、セット状態とされているた

114

め、スタンバイ時においてイコライズ信号φGEQはハイレベルを維持する。なお、1つのメモリサイクルすなわちアクティブコマンドが与えられた状態においてリードコマンドが与えられ、次いでライトコマンドが与えられる動作モードが考えられる。この場合、プリチャージコマンドは与えられないため、フリップフロップ2016および2018がともにセット状態となる。しかしながら、リード動作後ライト動作が行なわれる場合には、プリアンブイネーブル信号PAEはライト時には発生されないため、それぞれ信号PAEおよびφCNTに従ってイコライズ信号φGEQのセットを行なうことができる。また、ワンショットパルス発生回路2027により、リードコマンドおよびライトコマンドそれぞれに応じてイコライズ信号φGEQをローレベルに設定することができる。

【0276】ライト動作に次いでリード動作が行なわれる場合、カウンタ2001は、リード動作時においても活性化された状態を維持する。この場合、カウンタ2001が、リード時においてもカウントアップ信号φCNTを発生することが考えられる。これを防止するためには、フリップフロップ2018のQ出力がハイレベルのときにはAND回路2020がディスエーブル状態とされ、フリップフロップ2016の出力Qがハイレベルの場合にはAND回路2022がディスエーブル状態とされるようにフリップフロップ2016および2018のQ出力とAND回路2022および2020の入力を接続すればよい。図112は、ローカルIO線をイコライズするためのイコライズ信号φLEQを発生するための回路構成を示す図である。図112において、ローカルIO線のためのイコライズ信号φLEQ発生系は、クロック信号CLKに同期して信号／RASおよび／CSを取込み、アクティブコマンドが与えられた否かを検出するアクティブコマンド検出回路2030と、アクティブコマンド検出回路2030からのアクティブコマンド検出信号にตอบสนองしてそのときに与えられているアドレス信号の所定ビット（ブロックアドレス）をラッチしかつデコードするブロックアドレスデコードラッチ2032と、ブロックアドレスデコードラッチ2032からのブロック指示信号φBKSと反転イコライズ信号／φGEQを受けるNAND回路2034を含む。

【0277】ブロックアドレスデコードラッチ2032から、ローカルIO線とグローバルIO線とを接続するためのブロック選択制御信号φBと、選択メモリセルブロックをセンスアンプに接続するためのメモリブロック選択制御信号φAが発生される。ブロック選択信号φBKSもこれらのブロック選択制御信号と同様の信号である。NAND回路2034からローカルIO線対のイコライズ信号φLEQが発生される。次に図112に示す回路の動作をその動作波形図である図113を参照して説明する。クロック信号CLKの立上がり時に、信号／

(59)

特開平6-318391

115

RASおよびCSがともにローレベルにあれば、アクティブコマンドが与えられ、メモリアレイへのアクセスサイクルが指定される。ただし図113においては、信号CLKおよびCSは示していない。このアクティブコマンドに従って、ブロックアドレスデコードラッチ2032から所定のタイミングでブロック選択信号φBKSが発生される。このブロック選択信号φBKSは、選択されたメモリブロックに対してのみハイレベルとなり、非選択のメモリブロックに対してはローレベルとなる。スタンバイ時においては、ブロック選択信号φBKSはローレベルにあるため、NAND回路2034から発生されるイコライズ信号φLEQはハイレベルにあり、ローカルIO線対のイコライズが行なわれている。

【0278】リードコマンドまたはライトコマンドが与えられると、所定のタイミングで、グローバルIO線対イコライズ信号φGEQがハイレベルに立上がる。このグローバルIO線対イコライズ信号φGEQは、図111に示すグローバルIO線対イコライズ信号φGEQの反転信号であり、たとえばフリップフロップ2028の相補出力/Qから発生される。ブロック選択信号φBKSのハイレベルおよびローレベルに応じてイコライズ信号φLEQがハイレベル、ローレベルとなる。選択メモリブロックに対しては、ブロック選択信号φBKSがハイレベルであるため、グローバルIO線対イコライズ信号φGEQがハイレベルとなると、ローカルIO線対イコライズ信号φLEQがローレベルとなり、ローカルIO線対のイコライズが禁止される。非選択メモリブロックにおいては、信号φBKSがローレベルであるため、ローカルIO線対イコライズ信号φLEQはハイレベルである。

【0279】グローバルIO線対イコライズ信号φGEQがローレベルとなると、ローカルIO線対イコライズ信号φLEQがハイレベルとなり、ローカルIO線対のイコライズが実行される。上述の構成により、選択メモリブロックに対してのみ、グローバルIO線対と同じタイミングでローカルIO線対のイコライズの活性/非活性化を行なうことができる。図114は、第1のイコライズタイミング制御方法の変更例を示す図である。図114においては、イコライズ信号φGEQがスタンバイ時においては非活性状態のローレベルにある場合のデータ書込時におけるイコライズ制御信号の発生態様が示される。図114に示すイコライズタイミング制御方法においては、列選択開始指示信号（ライトコマンド）が与えられてラップ長に等しいクロックサイクルが経過した後、その次のクロック信号にตอบสนองしてイコライズ信号φGEQがワンショットパルスの形態で発生される。したがって、データ書込の後の所定期間においてのみイコライズが行なわれる。このような、スタンバイ時においてイコライズ信号φGEQがローレベルの非活性状態にある場合においても、データ書込後、所定のタイミング

116

でイコライズ信号φGEQをワンショットパルスの形態で発生することにより、確実にグローバルIO線対をイコライズすることができる。データ書込を行なう前にグローバルIO線対をイコライズする必要がなく、高速でデータの書込を行なうことができる。

【0280】図115は、この第1のイコライズタイミング制御方法の変更例におけるデータ読出時のイコライズ信号発生態様を示す図である。図115に示すイコライズタイミング制御方法においては、スタンバイ時においてはイコライズ信号φGEQは非活性状態のローレベルにある。データ読出時において列選択開始指示信号（リードコマンド）が与えられ、選択メモリセルのデータがグローバルIO線対GIO1～GIO4上に現われる。グローバルIO線対GIO1～GIO4上に現われたデータがリードレジスタに転送された後、ワンショットパルスの形態でイコライズ信号φGEQが発生される。この場合においても、グローバルIO線対からリードレジスタへのデータ転送後グローバルIO線対およびローカルIO線対がイコライズされるため、選択メモリセルデータがグローバルIO線対上に現われる前にこの内部データ線（グローバルIO線対およびローカルIO線対両者を含む）のイコライズを行なう必要がなく、高速でデータの読出を行なうことができる。

【0281】図114および図115に示すイコライズ信号の制御方法は、図111に示すフリップフロップ2028に代えて、OR回路2024の出力にตอบสนองしてワンショットのパルスを発生するワンショットパルス発生回路を用いて実現することができる。この場合、図111に示すOR回路2026およびワンショットパルス発生回路2027は用いる必要はない。

(i1) 第2のイコライズタイミング制御方法

図116は、第2のイコライズタイミング制御方法を示すタイミングチャート図である。図116に示す構成においては、データ書込時において列選択開始指示信号が与えられたとき（ライトコマンドが与えられたとき）、まずイコライズ信号φGEQを非活性状態のローレベルとする。次いで各クロック信号CLKに同期して所定期間イコライズ信号φGEQを活性状態とする。これによりグローバルIO線対GIO1～GIO4はイコライズされる。ラップ長に等しいクロックサイクルが経過した後、このクロック信号CLKに同期するイコライズ信号φGEQの活性化を禁止する。ラップ長の次のクロックサイクルにおいて、カウンタ（図110参照）からのラップ長+1カウントアップ信号にตอบสนองして、イコライズ信号φGEQが活性状態のハイレベルとされる。

【0282】上述のように、データ書込時において各クロックサイクルごとにグローバルIO線対およびローカルIO線対（内部データ線）のイコライズを行なうことにより、ラップストップ動作が行なわれても、高速アクセスを行なうことができる。今、図117に示すよう

(60)

特開平6-318391

117

に、ラップ長が4であり、2つのデータが書込まれ、第3クロックサイクルにおいてリードコマンドが与えられ、ラップストップが指定された場合を考える。この場合、図117に示すように、クロックサイクル1において、ライトコマンドが与えられると、そのときに与えられたデータD1およびクロックサイクル2で与えられるデータD2はグローバルIO線対GIO1およびGIO2へ順次伝達される。各クロックサイクルごとにイコライズ信号φGEQが活性化されており、グローバルIO線対GIO1～GIO4はイコライズされている。

【0283】第3クロックサイクルにおいて、ラップ長はまだカウントアップされていないため、イコライズ信号φGEQがハイレベルの活性状態となり、グローバルIO線対GIO1～GIO4のイコライズが実行される。このクロックサイクル3においてリードコマンドが与えられており、これに従ってイコライズ信号φGEQが非活性状態とされる。またこのリードコマンドに従って列選択信号CSLがハイレベルに立上がり別の列が選択される。このとき、選択された列上に読出されたメモリセルデータがグローバルIO線対GIO1～GIO4に伝達されるが、先にイコライズ信号φGEQによりイコライズされているため、高速でデータをグローバルIO線対GIO1～GIO4へ伝達することができる。したがって、ラップストップ動作が行なわれても、高速でデータの読出を行なうことができる。リードコマンドが与えられた後、データがグローバルIO線対GIO1～GIO4からリードレジスタに転送された後、このイコライズ信号φGEQはハイレベルの活性状態とされる。

【0284】最初にリードコマンドが与えられており、ラップストップの動作が行なわれる場合、先の図109に示すタイミングでラップストップ動作が実行可能である。外部データ読出時においては、内部データ転送時に既にグローバルIO線対GIO1～GIO4のイコライズは行なわれているためである。図118は、図117に示すイコライズタイミング制御を行なうための回路構成を示す図である。図118において、図111と対応する部分には同一の参照番号を付している。図118において、コラムアクセス判定回路2000は、ライトコマンド検出回路2010の出力とプリチャージコマンド検出回路2014の出力を受け、フリップフロップ2018をリセットするOR回路2013と、リードコマンド検出回路2012の出力とプリチャージコマンド検出回路2014の出力を受けてフリップフロップ2016をリセットするOR回路2015をさらに含む。他の構成は、図111に示すものと同様である。

【0285】この図118に示す構成においては、フリップフロップ2016は、リードコマンドが与えられたときまたはプリチャージコマンドが与えられたときにはリセットされる。フリップフロップ2018は、ライトコマンドが与えられたときまたはプリチャージコマンド

118

が与えられたときにリセットされる。これにより、リードコマンドが与えられているときにカウンタ2001からのカウントアップ信号φCNTに従ったイコライズ信号の制御が禁止される。同様に、ライトコマンドが与えられているときにプリアンブイネーブル信号PAEによるイコライズ信号φGEQの活性／非活性の制御が禁止される。イコライズ信号発生回路2002は、セット／リセットフリップフロップ2016の出力をクロック信号CLKの半サイクル遅延させて伝達する半サイクル遅延回路2021と、フリップフロップ2016の出力とカウンタ2001（図110参照）からの（ラップ長+1）カウントアップ信号φCNTとを受けるAND回路2020と、フリップフロップ2018のQ出力とプリアンブイネーブル信号PAEを受けるAND回路2022と、AND回路2020および2024の出力を受けるOR回路2024と、フリップフロップ2016および2018の出力を受けるOR回路2026と、OR回路2026の出力の立上りに応答して所定の時間幅を有するワンショットのパルスが発生するワンショットパルス発生回路2027と、OR回路2024の出力によりセットされかつワンショットパルス発生回路2027の出力によりリセットされるセット／リセットフリップフロップ2028を含む。このフリップフロップ2028の出力Qは、先に図111を参照して示した信号φGEQと同様に变化する。

【0286】イコライズ信号発生回路2002は、さらに、カウンタ2001からのラップ長カウントアップ信号φwuをクロック信号CLKの半サイクル遅延させて伝達する半サイクル遅延回路2029と、フリップフロップ2018の出力と半サイクル遅延回路2029の出力を受けるOR回路2023と、半サイクル遅延回路2021の出力の立上りに応答してセットされ、OR回路2023の出力の立上りに応答してリセットされるセット／リセットフリップフロップ2025と、フリップフロップ2025のQ出力が活性状態のときに活性化され、クロック信号CLKの立上りに応答して所定の時間幅を有するワンショットのパルスが発生するワンショットパルス発生回路2030と、ワンショットパルス発生回路2030の出力とフリップフロップ2028の出力を受けるOR回路2031を含む。OR回路2031からイコライズ信号φGEQが発生される。

【0287】ラップ長カウントアップ信号φwuは、カウンタ2001からライトコマンド印加時においてラップ長をカウントしたときに発生される。すなわち、このラップ長カウントアップ信号φwuは、カウントアップ信号φCNTよりも1クロックサイクル前に発生される。次にこの図118に示す回路の動作をその動作波形図である図119を参照して説明する。クロックサイクル1において、列選択指示すなわちライトコマンドが与えられると、セット／リセットフリップフロップ201

119

6がセットされ、その出力Qがハイレベルに立上がる。半サイクル遅延回路2021は、このフリップフロップ2016のQ出力をクロック信号CLKの半クロックサイクル遅延させて通過させる。この半サイクル遅延回路2021は、たとえばクロック信号CLKがハイレベルのときに与えられた入力をラッチし、クロック信号がローレベルとなったときにそのラッチしたデータを出力する構成が利用される。したがって、半サイクル遅延回路2021の出力はクロック信号CLKの立下がりに応答してフリップフロップ2016の出力に従って立上がる。これによりセット/リセットフリップフロップ2025がセットされ、ワンショットパルス発生回路2030がイネーブルされる。このときクロック信号CLKは既にローレベルにあり、ワンショットパルス発生回路2030からはパルスが発生されない。

【0288】カウンタ2001は、フリップフロップ2016のQ出力に応答して活性化され、クロック信号CLKをカウントしている。一方、OR回路2026の出力がフリップフロップ2016のQ出力の立上がりに応答して立上がり、ワンショットパルス発生回路2027からワンショットのパルスが発生され、フリップフロップ2028がリセットされ、そのQ出力がローレベルに立下がる。これによりイコライズ信号φGEQがOR回路2031を通してローレベルに立下がる。クロックサイクル2において、クロック信号CLKがハイレベルに立上がると、このクロック信号CLKの立上がりに応答して、フリップフロップ2025の出力により活性化されているワンショットパルス発生回路2030から所定の時間幅を有するワンショットのパルスが発生される。これにより、OR回路2031を介してイコライズ信号φGEQがハイレベルに立上がる。

【0289】ラップ長4に等しいクロックサイクルが経過すると、カウンタ2001からラップ長カウントアップ信号φwuが発生される。このラップ長カウントアップ信号φwuは、半サイクル遅延回路2029を通して半クロックサイクル遅延されてOR回路2023へ与えられる。したがってOR回路2023の出力は、クロックサイクル4におけるクロック信号CLKの立下がりに応答して、ハイレベルに立上がり、フリップフロップ2025がリセットされる。これにより、ワンショットパルス発生回路2030は非活性状態とされる。クロックサイクル5において、カウントアップ信号φCNTがカウンタ2001から発生されると(クロックサイクル5において)、フリップフロップ2028がAND回路2020およびOR回路2024を介してセットされ、そのQ出力がハイレベルに立上がる。これにより、イコライズ信号φGEQがカウントアップ信号φCNTに応答してハイレベルに立上がる。上述の一連の動作により、ラップ長4のデータの書込が行なわれた後に、イコライズ信号φGEQをハイレベルとし、また各クロックサイ

(61)

特開平6-318391

120

クルごとにイコライズ信号φGEQをハイレベルに立上げることができる。

【0290】クロックサイクル11において、再びライトコマンドが与えられると、同様にして、フリップフロップ2016の出力がハイレベルに立上がり、フリップフロップ2028の出力がローレベルに立下がり、応じてイコライズ信号φGEQがローレベルに立下がる。またフリップフロップ2025は半サイクル経過後にセットされ、ワンショットパルス発生回路2030がセットされる。クロックサイクル12においてクロック信号CLKが与えられると、ワンショットパルス発生回路2030から所定の時間幅を有するワンショットパルスが発生され、応じてイコライズ信号φGEQがハイレベルに立上がる。クロックサイクル13において、ラップストップ動作が行なわれ、リードコマンドが与えられると、フリップフロップ2016がリセットされる。このときカウンタ2001はまだカウント動作を行なっている。しかしながら、フリップフロップ2018のQ出力がリードコマンド検出回路2012の出力によりセットされ、応じてOR回路2023を介してフリップフロップ2025がリセットされる。

【0291】クロックサイクル13においては、既にクロック信号CLKの立上がりに応答してワンショットパルス発生回路2030からワンショットのパルス信号が発生されており、イコライズ信号φGEQは所定期間ハイレベルとなっている。リード動作時においては、ブリアンブイネーブル信号PAEが発生されるとフリップフロップ2028がセットされ、応じてイコライズ信号φGEQがハイレベルに立上がる。以上のようにして、各クロックサイクルごとにイコライズ信号φGEQを所定期間ハイレベルとすることにより、ライトコマンドが与えられた場合においてもラップストップ動作を行なうことができる。リードコマンドが与えられている場合には、グローバルIO線対からリードレジスタへのデータ転送後ブリアンブイネーブル信号PAEに従ってイコライズが行なわれているため、ラップストップ動作はアクセス時間を増大させることなく実行することができる。

【0292】なおこの図118および図119に示すイコライズ信号制御方法においても、ローカルIO線対LIOに対しては、第1の制御方法と同様にして、選択されたメモリブロックに対してのみローカルIO線対の活性/非活性が実行される。非選択メモリブロックに対してはローカルIO線対LIOはスタンバイ状態を維持する。

(a) 変更例1

図120は、この第2のイコライズ信号制御方法の第1の変更例を示すタイミングチャート図である。図120においては、スタンバイ時においては、イコライズ信号φGEQ(ローカルイコライズ信号φLEQも同様である)は、ローレベルに設定される。すなわちグローバル

(62)

特開平6-318391

121

IO線対およびローカルIO線対を含む内部データ線のイコライズはスタンバイ時においては実行されない。列選択開始指示が与えられたときのみイコライズ信号φGEQおよびφLEQの活性化が実行される。

【0293】図120に示す動作においては、クロックサイクル1において、ライトコマンドが与えられると、次のクロック信号CLK（クロックサイクル2）の立上りに応答してイコライズ信号φGEQが活性化される（ハイレベルとなる）。次いで、クロックサイクル3および4それぞれにおけるクロック信号CLKの立上りに応答して、イコライズ信号φGEQが所定期間ハイレベルとされる。ラップ長カウンタがラップ長をカウントすると、次のクロックサイクル（クロックサイクル5）のクロック信号CLKの立上りに応答して、イコライズ信号φGEQが所定期間活性化される。図121は、図120に示すイコライズ信号制御方法を実現するための回路構成の一例を示す図である。図121において、コラムアクセス判定回路2000は、図118に示す回路構成と同様の構成を備える。この図121に示すコラムアクセス判定回路2000においては、図118に示す構成要素と対応する部分には同一の参照番号を付す。

【0294】イコライズ信号発生回路2002は、フリップフロップ2016の出力を半クロックサイクル遅延させる半サイクル遅延回路2021と、フリップフロップ2018の出力とカウントアップ信号φCNTを受けるOR回路2035と、半サイクル遅延回路2021の出力の立上りに応答してセットされ、OR回路2035の出力の立上りに応答してリセットされるセット／リセットフリップフロップ2025と、フリップフロップ2018の出力とプリアンブイネーブル信号PAEを受けるAND回路2022と、AND回路2022の出力に応答して所定の時間幅を有するワンショットのパルス信号を発生するワンショットパルス発生回路2036と、フリップフロップ2025のQ出力がハイレベルのときに活性化され、クロック信号CLKの立上りに応答して所定の時間幅を有するワンショットのパルス信号を発生するワンショットパルス発生回路2030と、ワンショットパルス発生回路2036および2030の出力を受けるOR回路2037を含む。OR回路2037からイコライズ信号φEEQが発生される。次に動作について説明する。

【0295】ライトコマンドが与えられた場合には、半サイクル遅延回路2021の出力は、ライトコマンドが与えられたクロックサイクルのクロック信号CLKの立下りに応答してハイレベルに立上がり、フリップフロップ2024がセットされる。これにより、ワンショットパルス発生回路2030が活性化される。このとき既にクロック信号CLKはローレベルに立下がっており、ワンショットパルス発生回路2030からは図120に示す第1クロックサイクルにおいてはワンショットパル

122

スは発生されない。クロックサイクル2、3および4において、クロック信号CLKの立上りに同期してワンショットパルス発生回路2030から所定の時間幅を有するワンショットが発生される。これに応答して、イコライズ信号φGEQが所定期間クロック信号CLKに同期してハイレベルとなる。

【0296】ラップ長データが書込まれると、このラップ長に等しいクロックサイクルが経過した後の次のクロックサイクルのクロック信号の立上りに応答してカウンタ2001からカウントアップ信号φCNTが発生される。これによりOR回路2035の出力がハイレベルに立上がりフリップフロップ2025の出力Qがローレベルとなる。このフリップフロップ2025の出力Qがローレベルに立下がる前に、クロック信号CLKは先にハイレベルとなっており、ワンショットパルス発生回路2030からは所定の時間幅を有するパルス信号が発生される。これに従って、クロックサイクル5（図120参照）のクロック信号CLKの立上りに応答して、イコライズ信号φGEQがハイレベルに所定期間立上がる。なお、このカウントアップ信号φCNTがハイレベルとなってフリップフロップ2025がリセットされたとき、ワンショットパルス発生回路2030は不活性状態とされる。しかしながら、このワンショットパルス発生回路2030に、フリップフロップ2025の出力Qがハイレベルのときにクロック信号CLKを通過させるトランSMISSIONゲートを設けておけば、ワンショットパルス発生回路2030は、フリップフロップ2025の出力Qがリセット時にローレベルとなっても、確実に所定の時間幅を有するワンショットのパルスを発生することができる。

【0297】リードコマンドが与えられた場合には、プリアンブイネーブル信号PAEに応答してワンショットパルス発生回路2036が所定時間幅を有するワンショットのパルスを発生する。これにより、イコライズ信号φGEQがOR回路2037により、所定時間ハイレベルとなる。ライトコマンドが与えられ、ラップストップ動作が指定された場合には、フリップフロップ2025は、OR回路2035によりリセットされる。この場合においても、そのラップストップ動作を指定するクロックサイクルにおいては、ワンショットパルス発生回路2030からは所定の時間幅を有するワンショットパルスがクロック信号CLKに応答して発生されている。これにより、確実にラップストップ動作が指定されても、イコライズ信号φGEQを所定期間ハイレベルに設定することができる。

【0298】(b) 変更例2

上述の構成においては、64ビットのデータが同時にリードレジスタへ転送されるか、またはライトレジスタから内部データ線へ順次データを書き込んでいる。このアーキテクチャは、データ入出力端子それぞれに対して8

(63)

特開平6-318391

123

ビットのレジスタが設けられている構成に対応する。別のアーキテクチャーも考えられる。すなわち、レジスタを設けずに、内部にラッチを設けておき、内部データ線を介して順次分割して（時分割的に）データを転送する。この場合においては、データ読出時においても、順次内部データバスを介してデータが転送される。この場合には、リードコマンドおよびライトコマンドいずれが与えられてもデータ転送後内部データ線をイコライズする。この制御方法を図122および図123に示す。

【0299】図122に示すイコライズ信号制御方法においては、内部データ線DBは1つ利用されるだけである（8ビット幅のデータ線）。イコライズ信号IOEQは、内部データ線DBに設けられたイコライズトランジスタを活性化／非活性化する。イコライズ信号IOEQがハイレベルのとき、内部データ線DBのイコライズが行なわれ、イコライズ信号IOEQがローレベルのときには内部データ線DBのイコライズは行なわれない。図122に示すように、スタンバイ状態において内部データ線DBのイコライズが行なわれる場合、スタンバイ時においては、イコライズ信号IOEQはハイレベルである。クロックサイクル1において、列選択指示信号（ライトコマンド）が与えられると、イコライズ信号IOEQがローレベルとなる。以降、ラップ長がカウントされ、そのカウント動作の間クロック信号CLKの立上りに同期してイコライズ信号IOEQが所定期間ハイレベルに立上がる。ラップ長に等しい数のクロックサイクルが経過した後、次のクロックサイクルにおけるクロック信号CLKの立上りに応答して、イコライズ信号IOEQがハイレベルとなる。

【0300】データ読出指示が与えられた場合には、リードコマンドが与えられてからイコライズ信号IOEQを非活性状態のローレベルとする。内部データ線DBにデータが現われると、これらは順次データ出力部へ伝達される。したがって、データ分割転送アーキテクチャーにおいては、リードコマンドが与えられた場合においては、リードデータの転送を示すプリアンブイネーブル信号PAEに対応する信号がリードデータの転送のために発生される。したがって、このプリアンブイネーブル信号PAEに相当するリードデータ転送信号をトリガとして、イコライズ信号IOEQを所定期間ハイレベルとする。これにより、ライトコマンドおよびリードコマンドいずれが与えられても、各データ転送を、内部データ線DBをイコライズすることができる。この図122に示すイコライズ信号の制御方法は、図118に示す回路を用いて実現することができる。

【0301】図123においては、スタンバイ状態においてイコライズ信号IOEQはローレベルにあり、内部データ線DBはフローティング状態にある。図123に示すクロックサイクル1において、列選択指示（ライトコマンド）が与えられると、次のクロックサイクルのクロ

124

ック信号CLKの立上りに同期してイコライズ信号IOEQが所定期間ハイレベルとなる。ラップ長に等しいクロックサイクルが経過した後、次のクロックサイクルのクロック信号CLKの立上りに応答してイコライズ信号IOEQが所定期間ハイレベルとなる。この図123に示すタイミング制御方法においても、リードコマンドが与えられた場合には、リードデータのデータバスからデータ出力部への転送後イコライズ信号IOEQが所定期間ハイレベルとされる。この場合においても、プリアンブイネーブル信号PAEに対応する信号が発生され、この信号をトリガとしてイコライズ信号IOEQが所定期間ハイレベルとされる。

【0302】なお図123に示すタイミング制御においては、ラップ長データのすべての書込完了後に発生されるイコライズ信号IOEQのタイミングは、クロックサイクル2、3および4において発生されるイコライズ信号IOEQの発生タイミングよりも少し遅れているように示されている。この構成は、図118に示す回路構成において、フリップフロップ2028の代わりにOR回路2024の出力に応答してワンショットのパルスが発生するパルス発生回路を用いることにより実現することができる。この構成の場合、OR回路2026およびワンショットパルス発生回路2027は用いられない。上述のように、各クロックサイクルごとに内部データ線DBまたはグローバルIO線対およびローカルIO線対をイコライズすることにより、データ転送に悪影響を及ぼすことなくラップストップ動作を実現することができ、高速アクセスを実現することができる。

【0303】(111) 第3のイコライズ信号タイミング制御方法

図124は、第3のイコライズタイミング制御方法を示すタイミングチャート図である。この図124に示す制御方法においては、ラップデータの書込時において、2クロックサイクルごとにイコライズ信号φGEQが活性状態とされる。内部データ線、すなわちグローバルIO線対GIO1～GIO4は、2クロックサイクルごとにイコライズされるため、ライトレジスタからグローバルIO線対へのデータ転送およびメモリセルへのデータの書込が2クロックサイクルの間に実行される。したがって、クロックサイクルが短くなった場合においても、十分余裕をもってライトレジスタからグローバルIO線対へのデータ転送およびメモリセルへのデータ書込を行なうことができ、高速クロックで動作を行なうことが可能となる。

【0304】図124において、スタンバイ状態においてイコライズ信号φGEQは活性状態のハイレベルにある。クロックサイクル1において、列選択開始指示信号（ライトコマンド）が与えられると、イコライズ信号φGEQが非活性状態のローレベルとされる。クロック信号CLKに応答して、データが書込まれ、順次グローバ

(64)

特開平6-318391

125

ルIO線対上へ伝達される。ライトコマンドが与えられ、列選択動作が指定されてから2クロックサイクル経過すると、クロック信号CLKの立上がりに対応して、イコライズ信号φGEQが所定期間ハイレベルとされる。これにより、グローバルIO線対GIO1~GIO4がイコライズされる。列選択開始指示信号が与えられてからラップ長に等しいクロックサイクルが経過すると、次のクロックサイクル(サイクル5)において、イコライズ信号φGEQが活性状態のハイレベルに立上がる。

【0305】上述のように、2クロックサイクルごとにイコライズ信号φGEQを所定時間ハイレベルの活性状態としてグローバルIO線対のイコライズを行なうことにより、クロックサイクルが短い場合においても十分余裕をもってデータの書込およびグローバルIO線対およびローカルIO線対のイコライズを実行することができ、高速クロック信号に同期して動作することができる。図125は、図124に示すイコライズ信号制御系の構成を示す図である。この図125においては、図100ないし図107に示す信号WDE、/WERS TおよびφRESが利用される。図100ないし図107を参照して説明した書込回路の動作においては、2ビット単位でデータの書込が実行されている。したがって、そこで用いられた制御信号を利用すれば、容易に2クロックサイクルごとにイコライズ信号φGEQを活性状態のハイレベルに駆動することができる。

【0306】図125を参照して、イコライズ信号発生回路2002は、書込制御信号WDEとリードコマンド検出信号(図121に示すフリップフロップ2018から与えられる)を受けるOR回路2040と、OR回路2040の出力の立上がりに対応して所定の時間幅を有するワンショットのパルスを発生するワンショットパルス発生回路2042と、リセット信号φRES(図98参照)とプリアンプイネーブル信号PAEを受けるOR回路2044と、OR回路2044の出力の立上がりに対応してセットされ、ワンショットパルス発生回路2042の出力に対応してリセットされるフリップフロップ2046と、書込制御信号/WERS Tの立下がりに対応して所定の時間幅を有するワンショットのパルス信号を発生するワンショットパルス発生回路2048と、フリップフロップ2046のQ出力とワンショットパルス発生回路2048の出力とを受けるOR回路2049を含む。OR回路2049からイコライズ信号φGEQが発生される。

【0307】リセット信号φRESは、図98に示すように、ライトコマンドが与えられてから、ラップ長+1のクロック信号をカウントしたときに所定期間ハイレベルに駆動される。書込許可信号WDEは、ライトコマンドが与えられてからこのリセット信号φRESが与えられるまでハイレベルの活性状態を維持する。書込制御信

126

号/WERS Tは、図101に示す動作波形図から明らかなように、ライトコマンドが与えられたとき、2クロックサイクルごとに所定期間ローレベルとされる。この書込制御信号/WERS Tの立下がりごとに所定幅のワンショットパルスを発生してイコライズ信号φGEQをハイレベルの活性状態に駆動する。次に動作について簡単に説明する。ライトコマンドが与えられた場合、書込指示信号WDEがハイレベルの活性状態となり、OR回路2040を介してワンショットパルス発生回路2042が駆動され、ワンショットのパルスを発生する。これに対応して、フリップフロップ2046はリセットされ、Q出力がローレベルとされる。

【0308】この書込許可信号WDEがハイレベルの活性状態のとき、ライトコマンドが与えられてから2クロックサイクルごとに所定期間信号/WERS Tがローレベルに立下がる。この立下がりに対応してワンショットパルス発生回路2048は所定の時間幅を有するワンショットのパルス信号を発生する。これにより、OR回路2049を介してイコライズ信号φGEQが所定期間ハイレベルの活性状態とされる。ライトコマンドが与えられてからラップ長に等しいクロックサイクルが経過すると、次のクロックサイクルのクロック信号の立上がりに対応して、リセット信号φRESが所定期間ハイレベルに駆動される。これに対応して、フリップフロップ2046がセットされ、そのQ出力がハイレベルとなり、イコライズ信号φGEQがハイレベルに設定される。

【0309】これにより、2クロックごとにイコライズ信号φGEQをハイレベルに所定期間駆動することができ、またすべてのラップ長データの書込完了時にはリセット信号φRESに従ってイコライズ信号φGEQをハイレベルに維持することができる。なお、ラップ長が4の場合、書込制御信号/WERS Tが第5クロックサイクルのクロック信号CLKの立上がりに対応してローレベルに駆動され、また同様にリセット信号φRESも発生される。この場合、特にリセット信号φRESに従ってイコライズ信号φGEQを活性状態とする場合には、ライトコマンドが与えられてからラップ長に等しいクロックサイクルが経過したときに、このワンショットパルス発生回路2048の動作を禁止する構成を用いればよい。これにより、第5クロックサイクルにおける書込制御信号/WERS Tの立下がりを無視してリセット信号φRESに従ってイコライズ信号φGEQをハイレベルに活性化することができる。

【0310】また制御信号/WERS Tに代えて、図101等のように制御信号/WERS T fが用いられてもよい。図126は、スタンバイ時にイコライズ信号φGEQがローレベルの非活性状態に維持される場合のタイミング制御方法を示す図である。図126に示す構成においては、列選択開始指示信号(ライトコマンド)が与えられると、2クロックサイクル経過後のクロック

(65)

特開平6-318391

127

サイクル3において所定期間イコライズ信号φGEQが
 ハイレベルに立上げられる。ラップ長に等しいクロック
 サイクルが経過すると、次のクロック信号CLKの立上
 がりに応答して所定期間イコライズ信号φGEQがハイ
 レベルに立上げられる。この図126の構成を実現する
 ためには、図125に示す構成において、フリップフロ
 ップ2046に代えて所定の時間幅を有するワンショッ
 トのパルスが発生するワンショットパルス発生回路が用
 いられればよい。この図126の構成を実現するため
 には、図125に示す構成において、フリップフロップ2
 046に代えて所定の時間幅を有するワンショットのパ
 ルスが発生するワンショットパルス発生回路が用いら
 れればよい。この場合、ワンショットパルス発生回路20
 42およびOR回路2040は利用されない。

【0311】また、信号/WERSTを受けるワンショ
 ットパルス発生回路と、信号PAEに応答してワンショ
 ットのパルスが発生するワンショットパルス発生回路
 と、これらのワンショットパルス発生回路の出力を受け
 るORゲートとを用い、このORゲートからイコライズ
 信号φGEQが発生されるように構成されてもよい。こ
 の場合には、バースト（ラップ）ストップはライトコマ
 ンドが与えられてから偶数クロックサイクルごとに行な
 うことが要求される。以上のように、第1ないし第3の
 イコライズ信号タイミング制御方法を利用すれば、デー
 タの書込または読出前に内部データ線のイコライズを行
 なう必要がなく、高速でデータの入出力を行なうことが
 できる。またリードデータの出力部への転送後または書
 込データのメモリセルへの書込後（内部データ線上への
 伝達の後）内部データ線がイコライズされているため、
 最適なタイミングでイコライズ信号を活性化することが
 できる。

【0312】「書込マスク回路」以下の書込マスク回路
 の構成は、図100ないし図107に示す書込回路制御
 系の構成を参照して説明する。以下の説明においては、
 ラップ長が2以上の場合にあり、ラップストップ長が2
 に設定されている場合の書込制御信号の発生態様を例と
 して示す。このラップストップ長が2に設定されている
 場合には、列アクセスが開始されてから、すなわちライ
 トコマンドが与えられてから2クロック経過後の第3ク
 ロックサイクルのクロック信号CLKの立上げりに応答
 して信号/WERSTfがローレベルに立下がる。以
 降、ラップ長データの書込が行なわれるとき、2クロッ
 クサイクルごとに信号/WERSTfはローレベルに所
 定期間立下がる。信号/WERSTfおよび/WERS
 Tがともにハイレベルのときにラップアドレス/WWY
 iがラッチされ、このラッチされたラップアドレス/W
 WYiに従って書込回路の書込データの取込および、ラ
 イトレジスタへのデータの転送およびグローバルIO線
 対GIOへのデータ転送が実行される。

【0313】書込回路およびライトレジスタの詳細構成

128

は図96を参照されたい。信号WEEiがハイレベルの
 とき、図96に示すように、信号WDEがハイレベルに
 あれば、書込回路WGiからライトレジスタWriへの
 データ転送およびグローバルIO線対GIO上へのデー
 タ転送が実行される。このとき、図100に示すよう
 に、内部ライトマスク信号MDがハイレベルにあれば、
 ラップアドレス/WWYiが無視され、内部書込指示信
 号WEEiはローレベルを維持する。内部ライトマスク
 信号MDは、各クロックサイクルにおいて所定期間デー
 タ書込禁止を示すハイレベルの活性状態に維持される。
 クロック信号CLKの立上がりエッジで、外部ライトマ
 スク信号DQMがハイレベルにあれば、この内部ライト
 マスク信号MDをハイレベルに維持する。これにより、
 データの書込を禁止する。データ書込は内部ライトマ
 スク信号MDがローレベルの非活性状態のときに実行され
 る。

【0314】上述のように、各クロックサイクルにおい
 て、内部ライトマスク信号MDを活性状態のハイレベル
 に設定しておき、ライトマスクがかけられていないとき
 所定期間経過後に内部ライトマスク信号MDをローレ
 ベルとしてデータの書込を実行する。この構成は以下の利
 点を与える。外部ライトマスク信号DQMがハイレベル
 の活性状態にあるかローレベルの不活性状態にあるかを
 判別した後に内部ライトマスク信号MDを活性状態のハ
 イレベルにすると、ライトマスクの判定結果が確定する
 まで内部データの書込を待機する必要がある。この場
 合、書込制御信号の確定は内部ライトマスク信号MDが
 確定するまで遅らせる必要がある。またこのとき、誤書
 込を防止するために内部ライトマスクデータMDの確定
 と内部書込指示信号（信号WEEi等）の発生との間に
 タイミングマージンを持たせる必要がある。このため高
 速でデータを書込むことができなくなる。

【0315】しかしながら、各クロックサイクルにおい
 て内部ライトマスク信号MDを所定期間ハイレベルとし
 ておき、この間に外部ライトマスク信号DQMの活性/
 非活性を判別し、その判別結果に従って内部ライトマ
 スク信号MDの活性状態の維持および非活性化を制御す
 れば、書込制御信号/WERSTfなどの発生タイミング
 は常時一定とすることができ、高速でデータを書込むこ
 とができる。したがって、外部ライトマスク信号DQM
 が非活性状態のローレベルにあれば、高速でデータを書
 込むことができる。図128は内部ライトマスク信号を
 発生するための回路構成の一例を示す図である。図12
 8を参照して、内部ライトマスク発生系は、外部クロッ
 ク信号ext. CLKに応答して外部から与えられるラ
 イトマスク信号ext. DQMを取込むダイナミックラ
 ッチ2050と、外部クロック信号ext. CLKの立
 上がりに応答して所定の時間幅を有するワンショットの
 パルス信号を発生するワンショットパルス発生回路20
 52と、ワンショットパルス発生回路2052の出力を

129

所定の時間T遅延させる遅延回路2054と、ダイナミックラッチ2050の出力OUTと遅延回路2054の出力とを受けるゲート回路2056と、ワンショットパルス発生回路2052の出力にตอบสนองしてセットされ、ゲート回路2056の出力にตอบสนองしてリセットされるセット／リセットフリップフロップ2058を含む。セット／リセットフリップフロップ2058から内部ライトマスク信号MDが発生される。この内部ライトマスク信号MDは、図100に示す回路1218へ与えられる。

【0316】ワンショットパルス発生回路2052は、内部クロック信号ext. CLKを所定時間遅延させる遅延回路2053と、遅延回路2053の出力と外部クロック信号ext. CLKを受けるゲート回路2055を含む。ゲート回路2055は、遅延回路2053の出力がローレベルのときにありかつ外部クロック信号ext. CLKがハイレベルのときにハイレベルの信号を出力する。したがって、ゲート回路2055からは、遅延回路2053が有する遅延時間だけの時間幅を有するワンショットのパルスが発生される。この遅延回路2053が有する遅延時間は遅延回路2054が有する遅延時間Tよりも小さくされる。フリップフロップ2058におけるセット入力Sとリセット入力Rに同時にハイレベルの信号が印加されるのを防止するためである。ゲート回路2056は、遅延回路2054の出力がハイレベルにあり、ダイナミックラッチ2050の出力OUTがローレベルのときにハイレベルの信号を出力する。

【0317】図129は、図128に示すダイナミックラッチの具体的構成の一例を示す図である。図129において、ダイナミックラッチ2050は、電源電位ノード2063と出力ノード2061との間に設けられ、クロック信号CLKにตอบสนองして導通するpチャネルMOSトランジスタ2060と、電源電位ノード2063と出力ノード2061との間に設けられ、出力信号OUTにตอบสนองして導通するpチャネルMOSトランジスタ2062と、出力ノード2061と内部ノード2069との間に設けられ、入力信号IN（外部マスク信号DQM）にตอบสนองして導通するnチャネルMOSトランジスタ2064と、出力ノード2061と内部ノード2069との間に設けられ、出力信号OUTにตอบสนองして導通するnチャネルMOSトランジスタ2066と、内部ノード2069と接地電位ノード2065との間に設けられ、クロック信号CLKにตอบสนองして導通するnチャネルMOSトランジスタ2076を含む。トランジスタ2062および2066は互いに相補的に導通状態となる。

【0318】ダイナミックラッチ2050はさらに、電源電位ノード2063と出力ノード2067との間に設けられ、クロック信号CLKにตอบสนองして導通するpチャネルMOSトランジスタ2070と、相補出力信号／OUT（ノード2061上の電位）にตอบสนองして導通するpチャネルMOSトランジスタ2068と、出力ノード2067と内部ノード2069との間に設けられ、そのゲートに基準電位Vrefを受けるnチャネルMOSトランジスタ2074と、出力ノード2067と内部ノード2069との間に設けられ、相補出力信号／OUTにตอบสนองして導通するnチャネルMOSトランジスタ2072を含む。基準電位Vrefは電源電位ノード2063に与えられる電位と接地ノードに与えられる電位の間の中間電位である。次に図129に示すダイナミックラッチの動作をその動作波形図である図130を参照して説明する。

(66)

特開平6-318391

130

067と内部ノード2069との間に設けられ、そのゲートに基準電位Vrefを受けるnチャネルMOSトランジスタ2074と、出力ノード2067と内部ノード2069との間に設けられ、相補出力信号／OUTにตอบสนองして導通するnチャネルMOSトランジスタ2072を含む。基準電位Vrefは電源電位ノード2063に与えられる電位と接地ノードに与えられる電位の間の中間電位である。次に図129に示すダイナミックラッチの動作をその動作波形図である図130を参照して説明する。

【0319】クロック信号CLKがローレベルのとき、トランジスタ2060および2070がともにオン状態、トランジスタ2076がオフ状態である。この状態においては、ダイナミックラッチはプリチャージ状態にあり、出力ノード2061および2067はともに電源電位ノード2063に与えられる電源電位レベルにプリチャージされる。クロック信号CLKがハイレベルのとき、トランジスタ2060および2070がともにオフ状態、トランジスタ2076がオン状態となる。入力信号INが基準電位Vrefよりも低いローレベルのとき、トランジスタ2064のコンダクタンスがトランジスタ2074のコンダクタンスよりも小さくなり、出力ノード2067は出力ノード2061よりも高速に放電される。出力ノード2067の電位が低下すると、トランジスタ2062がオン状態、トランジスタ2066がオフ状態となり、出力ノード2061は、高速で電源電位レベルにまで充電される。

【0320】一方、出力ノード2061の電位の立上りにตอบสนองして、トランジスタ2068がオフ状態、トランジスタ2072がオン状態となり、出力ノード2067は急速にローレベルに低下する。これにより、出力信号OUTがローレベル、相補出力信号／OUTはハイレベルを維持する。一旦出力信号OUTおよび／OUTの電位レベルがローレベルおよびハイレベルに確定すると、途中で入力信号INがローレベルからハイレベルへ立上ってもその状態は変化しない。トランジスタ2062、2066、2068および2072の電流駆動力は、トランジスタ2064および2074の電流駆動力よりも大きくされているためである。次いで再びクロック信号CLKがローレベルに立下がると、出力ノード2061および2067はトランジスタ2060および2070により電源電位レベルにまで充電される。このときトランジスタ2076はオフ状態となっており、ノード2061および2067の放電経路は存在しないため、高速で出力ノード2061および2067は充電される。

【0321】入力信号INがハイレベルのときにクロック信号CLKがハイレベルに立上がると、出力ノード2067上から出力される信号OUTがハイレベル、出力ノード2061から出力される信号／OUTがローレベ

(67)

特開平6-318391

131

ルとなる。上述の構成により、クロック信号CLKの立上がりエッジで入力信号INを取込みかつラッチすることができる。次に、図128に示す回路の動作をその動作波形図である図131を参照して説明する。ダイナミックラッチ2050の出力OUTは、外部クロック信号ext、CLKがローレベルのときにはハイレベルにプリチャージされている。クロック信号CLKの立上がりエッジでラッチ2050の入力INに与えられる外部マスクデータext、DQMの状態がラッチされる。外部マスク信号ext、DQMが外部クロック信号ext、CLKの立上がりエッジでローレベルにあれば、ラッチ2050の出力信号OUTはクロック信号CLKがハイレベルの間ローレベルとなる。

【0322】ワンショットパルス発生回路2052は、外部クロック信号ext、CLKの立上がりエッジで所定の時間幅を有するワンショットのパルス信号を発生している。このワンショットパルス発生回路2052からのワンショットパルスに応答して、フリップフロップ2058がセットされるため、そのQ出力から出力される内部ライトマスク信号MDがハイレベルへ立上がる。ワンショットパルス発生回路2052からワンショットパルスが発生してから所定時間Tが経過すると、遅延回路2054からワンショットのパルスが発生される。このとき、ダイナミックラッチ2050の出力OUTからの信号がローレベルであれば、ゲート回路2056は、遅延回路2054の出力を通過させる。これにより、フリップフロップ2058がリセットされ、その出力Qから出力される内部ライトマスク信号MDがローレベルとなる。

【0323】外部クロック信号ext、CLKがハイレベルの場合には、ダイナミックラッチ2050の出力OUTはハイレベルとなる。この状態において、ゲート回路2056の出力はローレベルにある。外部クロック信号ext、CLKの立上がりエッジにおいて外部ライトマスク信号DQMがハイレベルに設定されると、ダイナミックラッチ2050の出力OUTは、クロック信号CLKが立上がった後も、変化せずハイレベルを維持する。この状態においては、ゲート回路2056の出力はローレベルに固定される。したがって、ワンショットパルス発生回路2052からワンショットのパルスが発生され、フリップフロップ2058がセット状態とされても、このサイクルにおいては、フリップフロップ2058はリセットされない。したがって内部ライトマスク信号MDはこのライトマスク信号DQMに与えられたクロックサイクルの間ハイレベルを維持する。遅延回路2054から発生されるワンショットパルス信号はゲート回路2056により無視されるためである。

【0324】次のサイクルにおいて、外部ライトマスク信号ext、DQMがローレベルの場合には、ワンショットパルス発生回路2052からのワンショットパルス

132

により、フリップフロップ2058はセットされた後、遅延回路2054およびゲート回路2056を介してリセットされる。上述の構成により、各クロックサイクルごとに内部ライトマスク信号MDを発生しておき、外部ライトマスク信号ext、DQMが活性状態にありライトマスクを指定している場合に内部ライトマスク信号MDのリセットを禁止することにより、内部データの書込タイミングは、すべて内部クロック信号CLKの立上がりエッジからの期間で設定することができ、高速でデータの書込を行なうことができる。また他の書込制御信号の活性化タイミングも、遅延回路2054が与える遅延時間を考慮して設定すればよく、内部書込制御信号と内部ライトマスク信号MDとのタイミングマージンを考慮する必要はなく、高速でデータの書込を行なうことができる。

【0325】また製造プロセス変動などにより、内部ライトマスク信号MDのパルス幅が異なっても、他の内部書込制御信号とマスク信号MD両者がデータ書込状態を示したときにデータ書込が行なわれるため、他の内部書込制御信号のタイミングにマージンを設ける必要はない。図133は、ダイナミックラッチの変更例を示す図である。図132において、ダイナミックラッチ2050に含まれるイネーブル用トランジスタ2076と接地電位ノード2065の間に、アレイアクティブコマンド指示信号φAAに응答して導通するnチャネルMOSトランジスタ2080が設けられる。アレイアクティブ指示信号φAAは、メモリセルアレイへのアクセスが指定された期間のみ活性状態とされる。したがってこのダイナミックラッチ2050は、アレイへのアクセスが指定されたときのみ活性状態とされる。ダイナミックラッチ2050は、トランジスタ2080がオフ状態の場合放電経路は存在しないため、その出力OUTおよびOUTはともにハイレベルを維持する。これにより、ダイナミックラッチ2050における消費電流の低減を図る。

【0326】図133は、内部ライトマスク発生用フリップフロップをセットするためのワンショットパルス発生部の変更例を示す図である。図133において、アレイアクティブ検出信号φAAと外部クロック信号ext、CLKを受けるAND回路2081が、ワンショットパルス発生回路2052の前段に設けられる。AND回路2081は、アレイアクティブ検出信号φAAがハイレベルのときのみ外部クロック信号ext、CLKを通過させる。アレイアクティブ検出信号φAAがローレベルのときにはAND回路2081はローレベルの信号を出力する。これにより、ワンショットパルス発生回路2052からは、アレイアクティブ動作時においてのみワンショットのパルスが発生され、フリップフロップのセット/リセットが実行される。これにより、ワンショットパルス発生回路2052からのパルス発生動作をア

133

レイアクティブ動作期間のみに限定し、消費電流の低減を図る。

【0327】図134は、ワンショットパルス発生回路の変更例を示す図である。図134において、ワンショットパルス発生回路2052は、アレイアクティブ検出信号φAAの反転信号／φAAを受けるpチャネルMOSトランジスタ2090と、遅延回路2053の出力の反転信号を受けるpチャネルMOSトランジスタ2091と、クロック信号CLKの反転信号／CLKを受けるpチャネルMOSトランジスタ2092を含む。トランジスタ2090ないし2092は、電源電位ノード2063と出力ノード2096との間に直列に接続される。ワンショットパルス発生回路2052はさらに、反転クロック信号／CLKをゲートに受けるnチャネルMOSトランジスタ2093と、遅延回路2053の出力の反転信号をゲートに受けるnチャネルMOSトランジスタ2094と、反転アレイアクティブ検出信号／φAAをゲートに受けるnチャネルMOSトランジスタ2095を含む。トランジスタ2093ないし2095は、出力ノード2096と接地電位ノード2065の間に互いに並列に接続される。

【0328】遅延回路2053の出力の反転信号は、遅延回路2053が、インバータの連続接続により構成される場合、このインバータの数を奇数個とすることにより生成される。図134に示すワンショットパルス発生回路の構成においては、アレイアクティブ検出信号φAAがハイレベルにあり、アレイアクティブコマンドが与えられた場合には、信号／φAAがローレベルとなり、トランジスタ2090がオン状態、トランジスタ2095がオフ状態となる。これにより、遅延回路2053の出力の反転信号および反転クロック信号／CLKがともにローレベルとなったときにハイレベルの信号が出力される。一方、プリチャージ状態においては、アレイアクティブ検出信号φAAはローレベルにあり、反転アレイアクティブ検出信号／φAAはハイレベルとなる。この状態では、トランジスタ2090がオフ状態、トランジスタ2095がオン状態となり、出力ノード2096は接地電位レベルに固定される。

【0329】なお、トランジスタ2090がオフ状態のときに、トランジスタ2090とトランジスタ2090の接続ノードおよびトランジスタ2091とトランジスタ2092の接続ノードがフローティング状態となるのを防止するために、出力ノード2096とこれらのノードとの間に信号／φAAにตอบสนองして導通するnチャネルMOSトランジスタが設けられてもよい。図135は、アレイアクティブ検出信号φAAを発生するための回路構成を示す図である。図135において、アレイアクティブ検出信号発生系は、信号／RASおよび／WEに従ってアクティブコマンドが与えられたことを検出するアクティブコマンド検出回路2085と、ロウアドレス

(68)

特開平6-318391

134

トロープ信号／RASとライトイネーブル信号／WEに従ってプリチャージコマンドが与えられたことを検出するプリチャージコマンド検出回路2086と、アクティブコマンド検出回路2085の出力に従ってセットされ、プリチャージコマンド検出回路2086の出力に従ってリセットされるセット／リセットフリップフロップ2087を含む。フリップフロップ2087からのQ出力からアレイアクティブ検出信号φAAが出力される。アクティブコマンド検出回路2085およびプリチャージコマンド検出回路2086は、図39に示す信号／RASおよび／WEの状態の組合せに従ってアクティブコマンドおよびプリチャージコマンドが与えられたか否かを判別する。

【0330】この図135に示す構成において、さらにチップセレクト信号／CSが利用されてもよい。信号／RASおよび／WEは内部信号であってもよく、また外部信号であってもよい。これらの信号が外部信号の場合には、アクティブコマンド検出回路2085およびプリチャージコマンド検出回路2086は、クロック信号CLKの立上がりエッジでこれらの信号の状態を取込み、その状態の判別を行なう。この構成において、検出回路2085および2086には特にラッチ回路は必要とされない。論理ゲートのみを用いて構成することができる。フリップフロップ2087が用いられており、パルス信号により、フリップフロップ2087のセット／リセットを行なうことができるからである。またタイミング的に余裕がある場合には、ライトコマンドが与えられたときのみこのフリップフロップ2058が動作するように構成されてもよい。

【0331】図136は、内部マスクデータ発生回路の変更例およびその動作波形を示す図である。図136(A)を参照して、内部マスクデータ発生回路は、外部クロック信号ext. CLKの立上がりに対応して所定期間の“H”となるパルス信号φCKを発生するワンショットパルス発生回路2100と、ワンショットパルス信号φCKをラッチイネーブル入力LEに受け、外部ライトマスク信号ext. DQMを入力INに受けるダイナミックラッチ2102と、ワンショットパルス信号φCKを反転するインバータ回路2106と、ダイナミックラッチ2102の出力OUTを所定時間遅延させる遅延回路2104と、インバータ回路2106からの信号／φCKの立下がりに対応してセットされ、遅延回路2104からの出力信号DQMが“L”のときにリセットされるフリップフロップ2108を含む。フリップフロップ2108のQ出力から内部ライトマスク信号MDが出力される。

【0332】ダイナミックラッチ2102は、先に図129を参照して示した回路と同様の構成を備え、そのラッチイネーブル入力LEに与えられる信号φCKが“H”のときにその入力INに与えられる外部ライトマ

(69)

特開平6-318391

135

スク信号ext、DQMを取込み出力ノードOUTから出力する。信号φCKが“L”の場合には、ダイナミックラッチ2102の出力OUTはハイレベルとなる。フリップフロップ2108は、そのセット入力/Sに与えられる信号/φCKがローレベルとなるとその出力MDをハイレベルに立上げる。フリップフロップ2108は、リセット入力/Rに与えられる信号DQMがローレベルのときにリセットされ、内部ライトマスク信号MDをローレベルに立下げる。次にこの図136(A)に示す内部ライトマスク信号発生回路の動作をその動作波形図である図136(B)を参照して説明する。

【0333】内部クロック信号ext、CLKがハイレベルへ立上ると、この立上がりに対応して所定の時間幅（ワンショットパルス発生回路2100に含まれる遅延回路の遅延時間）により決定されるハイレベルとなる信号φCKを発生する。これによりダイナミックラッチ2102がそのときに与えられている外部ライトマスク信号ext、DQMを取込む。インバータ回路2106が、信号φCKを反転して信号/φCKを発生する。これによりフリップフロップ2108がセットされ、内部ライトマスク信号MDがハイレベルへ立上がる。遅延回路2104は、ダイナミックラッチ2102の出力OUTから発生される信号を所定時間遅延させている。外部ライトマスク信号ext、DQMがローレベルのとき信号φCKがハイレベルのとき、ダイナミックラッチ2102の出力OUTはローレベルとなる。信号/φCKがハイレベルに立上ると、遅延回路2104から出力される信号DQMがローレベルであるため、フリップフロップ2108がリセットされ、内部ライトマスク信号MDがローレベルに立下がる。

【0334】外部ライトマスク信号ext、DQMが外部クロック信号ext、CLKの立上がりでハイレベルのとき、遅延回路2104の出力DQMはこのクロックサイクル期間ハイレベルを維持する。したがって、フリップフロップ2108はリセットされず、内部ライトマスク信号MDはハイレベルを維持する。上述の構成により外部ライトマスク信号ext、DQMの活性/非活性に応じて内部ライトマスク信号MDの活性/非活性を決定することができる。以上のように、内部ライトマスク信号を活性状態としておき、外部からライトマスク信号が与えられたときのみ内部ライトマスク信号を持続的に活性状態とする構成により、内部ライトマスク信号と他の書込制御信号のタイミング関係を考慮する必要がなくなり、高速でデータの書込を行なうことができる。

【0335】【基準電圧発生回路】図137は、SDRAMのデータ出力部の構成を示す図である。図137において、データ出力端子Q0～Q7に対し、出力バッファ回路OB0～OB7がそれぞれ設けられる。この出力バッファ回路OB0～OB7は、図1に示す出力バッファ12であってよく、また図45に示す出力バッファ

136

702であってよく、また図46および図47に示すラッチ回路LAおよび3状態インバータバッファTB8および出力バッファを含むものであってもよく、また図63に示すラッチ回路LAおよび先読ラッチ回路820および出力バッファ702を含むものであってもよい。出力バッファ回路OB0～OB7は出力イネーブル信号φOEにตอบสนองして動作状態となり、内部データから読出データを生成し、対応のデータ出力端子Q0～Q7へ生成した読出データを伝達する。

【0336】出力バッファ回路OB0～OB7は、クロック信号CLKにตอบสนองして内部電圧を発生する内部電圧発生回路1500からの昇圧電圧を動作電源電圧として動作する。この内部電圧発生回路1500は電源端子から与えられる電圧Vccをクロック信号CLKにตอบสนองして昇圧する。出力バッファ回路OB0～OB7を昇圧電圧で動作させることによりこの出力バッファ回路OB0～OB7を高速で動作させる。図138は、出力バッファ回路の具体的構成の一例を示す図である。図138においては、データ出力端子Qiに接続される回路部分のみを示す。図138において、出力バッファ回路OBiは、出力イネーブル信号φOEにตอบสนองして活性化され、内部読出データIQiを反転増幅する前置増幅段1502と、出力イネーブル信号φOEにตอบสนองして活性化され、前置増幅段1502の出力信号を反転増幅してデータ出力端子Qiへ伝達する出力段1504を含む。この前置増幅段1502へは動作電源電圧として図137に示す内部電圧発生回路1500から伝達される電源電圧Vcが供給される。

【0337】前置増幅段1502は、昇圧電源電圧供給ノードVc（電源電圧とそれが伝達される信号線を同一参照符号で示す）と出力ノード1518との間に設けられ、内部読出データIQiにตอบสนองして導通するpチャネルMOSトランジスタ1510と、トランジスタ1510と並列に設けられ、そのゲートに出力イネーブル信号φOEを受けるpチャネルMOSトランジスタ1512と、出力ノード1518にその一方導通端子（ドレイン）が接続され、そのゲートに内部読出データIQiを受けるnチャネルMOSトランジスタ1514と、トランジスタ1514の他方導通端子（ソース）と接地電位供給ノードとの間に設けられ、そのゲートに出力イネーブル信号φOEを受けるnチャネルMOSトランジスタ1516を含む。

【0338】出力段1504は、そのゲートに相補出力イネーブル信号/φOEを受け、その一方導通端子が電源電圧供給ノードVccに接合されるpチャネルMOSトランジスタ1520と、そのゲートに出力イネーブル信号φOEを受け、その一方導通端子が接地電位供給ノードに接続されるnチャネルMOSトランジスタ1526と、トランジスタ1520および1526の間に相補接続され、そのゲートに前置増幅段1502の出力を受

(70)

特開平6-318391

137

けるpチャネルMOSトランジスタ1522およびnチャネルMOSトランジスタ1524を含む。次に動作について簡単に説明する。出力イネーブル信号φOEが“L”にあり、データ出力が禁止されている場合には、トランジスタ1516がオフ状態、トランジスタ1512がオン状態である。この状態では、前置増幅段1502においては内部読出データIQ1の状態にかかわらずその出力ノード1518が電源電圧（昇圧電圧）Vcレベルに充電される。出力段1504においては、トランジスタ1520および1526がともにオフ状態であり、出力ハイインピーダンス状態にある。

【0339】信号φOEが“H”に立上ると、データ出力可能状態となる。この状態においては、トランジスタ1516がオン状態、トランジスタ1512がオフ状態となり、前置増幅段1502はインバータとして機能し、内部読出データIQ1を反転し増幅して出力ノード1518へ伝達する。出力段1504においては、トランジスタ1520および1526がともにオン状態となり、インバータ回路として機能し、前置増幅段1502から出力ノード1518へ与えられた信号を反転増幅してデータ出力端子Q1へ伝達する。MOSトランジスタの動作速度は電源電圧、特にそのゲート電圧のレベルに依存する。内部電圧発生回路1500から昇圧された電圧Vcを動作電源電圧として供給することにより、出力段1504は高速で動作してデータ出力端子Q1を高速で充放電することができる。

【0340】図139は、出力バッファ回路OB1の他の構成を示す図である。図139において、出力バッファ回路OB1は、出力イネーブル信号φOEと内部読出データIQ1を受ける2入力NAND回路1530と、NAND回路1530の出力を反転するインバータ回路1531と、昇圧電源電圧ノードVcとトランジスタ1535aとの間に設けられるpチャネルMOSトランジスタ1533aと、昇圧電源電圧ノードVcとトランジスタ1535bとの間に設けられるpチャネルMOSトランジスタ1533bを含む。トランジスタ1535aのゲートへはNAND回路1530の出力信号が与えられ、nチャネルMOSトランジスタ1535bのゲートへはインバータ回路1531の出力が与えられる。トランジスタ1533aおよび1533bはドレインとゲートが交差接続され、ラッチ回路を構成する。

【0341】出力バッファOB1は、さらに、トランジスタ1533bおよび1535bの接続ノードの信号を反転増幅するインバータ回路1537と、インバータ回路1537の出力信号をゲートに受けるnチャネルMOSトランジスタ1534を含む。トランジスタ1534は、動作電源電圧供給ノードVccと出力ノードとの間に設けられる。インバータ回路1537は、昇圧電源電圧Vcを動作電源電圧として利用して動作する。出力バッファOB1は、さらに、出力イネーブル信号φOEと

138

内部読出データIQ1を受けるゲート回路1532と、ゲート回路1532の出力を所定時間遅延させる次段の縦続接続されたインバータを含むバッファ回路1539と、バッファ回路1539の出力に応答して導通するnチャネルMOSトランジスタ1536を含む。トランジスタ1536は出力ノードと接地電位ノードとの間に設けられる。ゲート回路1532は、その偽入出力に出力イネーブル信号φOEを受け、その真入出力に内部読出データIQ1を受ける。ゲート回路1532は、出力イネーブル信号φOEがローレベルにあるかまたは内部読出データIQ1がハイレベルのときにローレベルの信号を出力する。

【0342】バッファ回路1539が設けられているのは、NAND回路1530と出力ドライブ用トランジスタ1534の間に設けられているインバータ回路およびインバータラッチが与える遅延時間を、ゲート回路1532と出力ドライブ用トランジスタ1536との間の遅延時間と等しくするためである。次に動作について簡単に説明する。出力イネーブル信号φOEがローレベル（“L”）のとき、NAND回路1530の出力は“H”、ゲート回路1532の出力は“L”となる。この状態においては、トランジスタ1535aがオン状態となり、トランジスタ1533bをオン状態とする。トランジスタ1535bは、そのゲートにインバータ回路1531の出力信号を受けているためオフ状態にある。したがって、トランジスタ1533aも応じてオフ状態となる。これにより、インバータ回路1537からは“L”の信号が出力され、nチャネルMOSトランジスタ1534はオフ状態となる。

【0343】同様にゲート回路1532からの“L”の信号により、nチャネルMOSトランジスタ1536がオフ状態となり、出力ハイインピーダンス状態となる。出力イネーブル信号φOEが“H”となると、NAND回路1530はインバータとして機能し、ゲート回路1532も、同様インバータとして機能する。内部読出データIQ1が“H”の場合には、NAND回路1530の出力が“L”、ゲート回路1532の出力がまた“L”となる。この状態において、またトランジスタ1536はオフ状態である。一方、トランジスタ1535aがオフ状態となり、トランジスタ1535bがオン状態となり、応じてトランジスタ1533bがオフ状態、トランジスタ1533aがオン状態となる。これにより、トランジスタ1533bおよび1535bの接続ノードの電位はトランジスタ1535bにより高速で放電される。インバータ1537からは、昇圧電源電圧Vcレベルの信号“H”の信号が出力される。これにより、nチャネルMOSトランジスタ1534は、そのしきい値電圧の損失を生じさせることなく、出力端子に動作電源電位Vccレベルの出力信号Q1を生成する。

【0344】内部読出データIQ1が“L”の場合に

139

は、NAND回路1530およびゲート回路1532の出力がともに“H”となる。これにより、トランジスタ1536がオン状態となる。一方、トランジスタ1535aがオン状態、トランジスタ1535bがオフ状態となるため、トランジスタ1533bがオン状態、トランジスタ1533aがオフ状態となる。これにより、インバータ1537の入力ノードへは、昇圧電源電圧Vcレベルの信号がトランジスタ1533bを介して伝達される。インバータ1537の出力が接地電位レベルの“L”となり、nチャネルMOSトランジスタ1534

がオフ状態となる。トランジスタ1536がゲート回路1536からの“H”の信号によりオン状態となり、接地電位レベルの出力信号Qiが生成される。
【0345】この図139に示す構成においても、昇圧電源電圧Vcを利用することにより高速で内部信号を立上げることができ、出力データQiを高速で出力することができる。また、出力段トランジスタ1534および1536がともにnチャネルMOSトランジスタで構成されている場合においても、インバータ回路1537の動作電源電圧が昇圧電源電圧Vcであるため、このドライ

ブトランジスタ1534におけるしきい値電圧損失を生じさせることなく、動作電源電圧Vccレベルの信号を出力することができる。この図138および図139いずれに示す構成の場合においても、出力バッファにおいて、昇圧電源電圧Vccを利用することにより、高速で内部データに応じて内部ノードを充電することができ、高速でデータを読出すことができる。
【0346】図140は、図137に示す内部電圧発生回路の構成を示す図である。図140において、内部電圧発生回路1500は、クロック信号CLKを分周し、互いに位相のずれた同一周波数の内部クロック信号CLK1~CLK4を生成する分周回路1600と、分周回路1600からのクロック信号CLK1、CLK2、CLK3およびCLK4それぞれに

応答してチャージポンプ動作を行なって昇圧電圧を発生するチャージポンプ回路1602a、1602b、1602cおよび1602dを含む。チャージポンプ回路1602a~1602dの出力電圧が共通に出力ノード1603に伝達される。図141は、この図140に示す内部電圧発生回路の動作を示す波形図である。以下、図141、142を参照して動作について説明する。
【0347】分周回路1600は、クロック信号CLKを4分周し、周波数が1/4に低減されたクロック信号CLK1~CLK4を生成する。クロック信号CLK1~CLK4はまた互いにその位相が1/4サイクル（クロック信号CLKの1サイクル）ずれている。これらの内部クロック信号CLK1~CLK4はそれぞれチャージポンプ回路1602a~1602dへ与えられる。内部クロック信号CLK1~CLK4はそれぞれ互いに位相が1/4サイクル（クロック信号CLKの1サイク

(71)

特開平6-318391

140

ル）ずれている。したがってチャージポンプ回路1602a~1602dからは、互いに位相が1/4サイクルずれた昇圧電圧が発生される。内部クロック信号CLK1~CLK4はクロック信号CLKに位相同期している。クロック信号CLKの立上がりに同期して昇圧電圧が発生される。また、クロック信号CLKの各サイクルにおいてはいずれかのチャージポンプ回路が動作して昇圧電圧を発生している。したがって、クロック信号CLKの立上がりエッジにおいて、常に安定な昇圧電圧を発生することができる。クロック信号CLKの立上がりエッジで有効データが読出される。したがって、常に安定に高速で出力バッファ回路はデータを出力することができる。

【0348】通常のインバータを奇数段接続したリングオシレータを用いて内部クロック信号を発生してチャージポンプ回路を駆動した場合以下の欠点が生じる。リング発振器の発生するクロック信号のサイクルタイムは、電源電圧および動作温度に従って変化する。したがって、チャージポンプ回路から発生される昇圧電圧の発生タイミングも変化し、昇圧電圧を安定に供給することができない。このため、出力バッファ回路が出力するデータの電位レベルが変動し、安定に有効データを高速で連続的に出力することができなくなる。しかしながら、図140に示すような本実施例の構成に従えば、上述のごとく、常に有効データが出力されるクロック信号CLKの立上がり時において安定に昇圧電圧を供給することができる。これにより、連続的にデータを高速で出力することが可能となる。次に各回路の具体的構成について説明する。

【0349】図142は、図140に示す分周回路の具体的構成の一例を示す図である。図113において、分周回路1600は、4段の直列に接続されたフリップフロップFF100、FF101、FF102およびFF103を含む。フリップフロップFF103の出力Q94は初段のフリップフロップFF100の相補入力/INへ結合されるとともに、インバータ回路1650を介してこのフリップフロップFF100の入力INへ結合される。フリップフロップFF100およびFF102のクロック入力Kへはクロック信号CLKが与えられる。フリップフロップFF101およびFF103のクロック入力Kへはインバータ回路1652を介してクロック信号CLKが与えられる。この分周回路1600は4進リングカウンタ回路を構成する。フリップフロップFF100~FF104は図143に示す構成を備える。

【0350】図143において、フリップフロップFF（FF100~FF103）は、4つのNAND回路1660、1662、1664および1666を含む。NAND回路1660および1662は、クロック入力Kに与えられるクロック信号が“H”のときその入力IN

(72)

特開平6-318391

141

および／INに与えられた信号を反転して通過させる。NAND回路1664および1666は、NAND回路1660および1662の出力を反転してラッチする。図143に示すフリップフロップFFは図80に示すフリップフロップと同じ構成を備えており、クロック入力Kに与えられる信号の立上りに応答して信号を通過させるスルー状態となり、クロック入力Kに与えられる信号の立下りに応答して入力INおよび／INに与えられる信号電位にかかわらず先に与えられていた信号を出力するラッチ状態となる。次に、この図142および図143に示す分周回路の動作をその動作波形図である図144を参照して説明する。

【0351】フリップフロップFF100～FF103のクロック入力Kへはクロック信号CLKが与えられている。したがって、フリップフロップFF100の出力の変化が1クロックサイクル遅れて各フリップフロップFF101～FF103の出力に伝達される。クロック信号CLKが“H”に立上ると、フリップフロップFF100およびFF102がスルー状態となり、その入力INおよび／INへ与えられた信号を通過させる。これにより、フリップフロップFF100の出力Q91が“H”に立上る。フリップフロップFF102は、フリップフロップFF101の出力Q92が“L”であるため、その出力は変化しない。クロック信号CLKが立下ると、フリップフロップFF101およびFF103がスルー状態となる。これにตอบสนองして、フリップフロップFF101の出力Q92が“H”に立上る。フリップフロップFF103の出力Q94はフリップフロップFF102の出力Q93が“L”であるため、変化しない。

【0352】次いで再びクロック信号CLKが“H”に立上ると、フリップフロップFF102の出力Q93がフリップフロップFF101の出力Q92に従って“H”に立上る。フリップフロップFF103の出力Q94はまだ“L”であるため、フリップフロップFF100の出力Q91は“H”を維持する。クロック信号CLKが再び立下ると、フリップフロップFF103の出力Q94が、フリップフロップFF102の出力Q93に従って“H”に立上る。これにตอบสนองして、インバータ回路1650の出力が“L”に変化する。したがって、次のクロック信号CLKの立上りに応答して、フリップフロップFF100の出力Q91が“L”に立下り、次いで、クロック信号CLKの1/2サイクルずれて出力Q92～Q94が順次“L”に立下る。

【0353】この分周回路1600において、出力Q91およびQ93を内部クロック信号CLK1およびCLK2として利用し、かつフリップフロップFF100およびFF102の相補出力/Q91および/Q93をそれぞれ内部クロックCLK3およびCLK4として利用すれば、図141に示す内部クロック信号CLK1～C

142

LK4の信号波形が得られる。このような分周回路を利用することにより、クロック信号CLKのいずれのサイクルにおいても2つのクロック信号を活性状態とし、チャージポンプ動作を実行することができる。図145は、図140に示すチャージポンプ回路の具体的構成例を示す図である。図145においては、図140に示す4つのチャージポンプ回路1602a～1602dの1つを代表的に参照符号1602で示す。

【0354】図145において、チャージポンプ回路1602は、クロック信号K（内部クロック信号CLK1～CLK4のいずれか）を受けるインバータ回路1670と、インバータ回路1670の出力をノードN100に容量結合するキャパシタ1672と、クロック信号Kを容量結合によりノードN102へ伝達するキャパシタ1674と、クロック信号Kを容量結合によりノードN104へ伝達するキャパシタ1676と、ノードN100を所定電位に充電するダイオード接続されたnチャネルMOSトランジスタ1678と、ノードN100上の信号電位にตอบสนองして、ノードN104およびN102をそれぞれ充電するnチャネルMOSトランジスタ1680および1682と、その一方導通端子がノードN104に接続され、そのゲートがノードN102に接続され、その他方導通端子が出力ノードOUTに接続されるnチャネルMOSトランジスタ1684を含む。次にこの図116に示すチャージポンプ回路の動作をその動作波形図である図146を参照して説明する。

【0355】ノードN100はトランジスタ1678により充電されており、その電位レベルは $V_{cc} - V_{TH}$ となる。ここで V_{TH} はトランジスタ1678のしきい値電圧である。以下の説明においては、トランジスタ1680、1682および1684は同じしきい値電圧 V_{TH} を備えるものとする。ノードN100上の電位 $V_{cc} - V_{TH}$ により、トランジスタ1680および1682が導通し、ノードN102およびN104をそれぞれ $V_{cc} - 2 \cdot V_{TH}$ に充電している。クロック信号Kが“L”に立下ると、ノードN100の電位が $2V_{cc} - V_{TH}$ のレベルにまで上昇する。これによりトランジスタ1680および1682は電源電圧 V_{cc} をノードN102およびN104へ伝達する。クロック信号Kの立下りに応答して、ノードN104およびN102の電位レベルはキャパシタ1672および1674を介して低下する。この電位低下はトランジスタ1682および1680により補償され、電源電位 V_{cc} レベルにまで回復する。

【0356】トランジスタ1684は、ノードN104の電位を出力ノードOUTへ伝達する。出力ノードOUTは初期状態においては $V_{cc} - 3 \cdot V_{TH}$ のレベルに充電されている。クロック信号Kの立上りに応答して、ノードN102およびN104の電位レベルが V_{cc} レベルにまで上昇するため、出力ノードOUTの電位

(73)

特開平6-318391

143

レベルは $V_{cc} - 2 \cdot V_{TH}$ レベルにまで上昇する。クロック信号Kが“H”に立上がると、ノードN100の電位が一旦低下し、その後再び $V_{cc} - V_{TH}$ レベルにまで回復する。これによりトランジスタ1680および1682の伝達する電圧レベルは $V_{cc} - 2 \cdot V_{TH}$ の電位レベルとなる。このクロック信号Kの立上がりに対応して、ノードN102およびN104の電位が $2V_{cc} - 2V_{TH}$ レベルにまで上昇する。これにより出力ノードOUTの電位レベルは $2V_{cc} - 3V_{TH}$ の電位レベルとなる。

【0357】次に再びクロック信号Kが“L”へ立下がるとノードN100の電位レベルが再び V_{cc} だけ上昇し、ノードN102およびN104の電位レベルは電源供給ノードから電流を供給され電源電位 V_{cc} レベルにまで回復する。この動作を繰返すことにより、ノードN102およびN104は、安定状態において、 $2V_{cc}$ と V_{cc} のレベルの間で変化する。この安定状態においては、出力ノードOUTは $2V_{cc} - V_{TH}$ の電位レベルで安定化する。クロック信号Kの立上がりに従って、トランジスタ1684を介してノードN104から電荷が出力ノードOUTへ補充され、この出力ノードOUTの電位低下を補償する。ノードN102およびN104が電源電圧 V_{cc} レベルのとき、出力ノードOUTの電位レベルが $2V_{cc} - V_{TH}$ レベルであり、トランジスタ1684はゲートとドレインが同電圧であり、ダイオードとして機能し、オフ状態となる。

【0358】したがって、図145に示すチャージポンプ回路を用いて内部電圧を発生すれば、各内部クロック信号CLK1～CLK4の立上がりに対応してチャージポンプ動作が行なわれ、その内部クロック信号が“H”の期間チャージポンプ回路の出力ノードに対する電荷の補充が行なわれており、内部昇圧電圧を安定に発生することができる。また1つのプリチャージポンプ回路のチャージポンプ動作が完了するサイクルにおいては、次の別のチャージポンプ回路がチャージポンプ動作をクロック信号CLKの立上がりに対応して実行しており、有効データ読出のタイミングを規定するクロック信号CLKの立上がりエッジにおいて、確実に安定な昇圧電圧を生成することができる。

【内部電圧発生回路の第2の実施例】図147は、内部電圧発生回路の第2の実施例の構成を示す図である。図147において、内部電圧発生回路1800は、クロック信号CLKを分周する分周回路1600と、出力ビットサイズ選択信号/BSにตอบสนองして、分周回路1600の出力する内部クロック信号を選択的に不活性状態とするスイッチ回路1802と、スイッチ回路1802から与えられる内部クロック信号CLK1～CLK4に従ってチャージポンプ動作を実行して昇圧電圧を生成するチャージポンプ回路1602a～1602dを含む。分周回路1600およびチャージポンプ回路1602a～1

144

602dはそれぞれ先に図140において示したものと同様の構成を備える。スイッチ回路1802は、出力ビットサイズ選択信号/BSに従って、この内部クロック信号CLK1～CLK4の幾つかを不活性状態とする。

【0359】SDRAMにおいては、通常8ビット単位でデータの入出力を行なうように構成されている。ワイヤボンディングにより、SDRAMを×4ビット構成とすることができる。この×4ビット構成の場合、実際に動作する出力バッファは4つのデータ出力端子に関連するものだけである。残りの出力バッファは動作しないため、昇圧電圧を供給する必要はない。内部電圧発生回路1800は、×8ビット構成のときの出力バッファを安定に駆動することができるようにその駆動能力が定められている。したがって、×4ビット構成に変更された場合、その駆動能力は大きすぎることになり、不必要に電力を消費しているといえる。そこで、図147に示すようにスイッチ回路1802を設け、この出力ビットサイズに合わせて内部電圧発生回路1800の駆動能力を調整する。すなわち、たとえば×4ビット構成が指定された場合、2つのチャージポンプ回路の動作を禁止する。これにより消費電力を低減する。

【0360】図148は、図147に示すスイッチ回路の具体的構成の一例を示す図である。図148において、スイッチ回路1802は、出力ビットサイズ選択信号/BSと分周回路からの内部クロック信号CLK2を受けるAND回路1810と、出力ビットサイズ選択信号/BSと分周回路からの内部クロック信号CLK4を受けるAND回路1812を含む。分周回路からの内部クロック信号CLK1およびCLK3はゲート処理されずに通過する。このスイッチ回路1802からのクロック信号はそれぞれ対応のチャージポンプ回路へ伝達される。出力ビットサイズ選択信号/BSが“L”の場合、AND回路1810および1812はともにその出力を“L”に固定する。その場合、チャージポンプ回路へ与えられる内部クロック信号CLK2およびCLK4が“L”であるため、チャージポンプ回路1602bおよび1602dはチャージポンプ動作を実行しない。チャージポンプ回路1602aおよび1602cのみが交互にチャージポンプ動作を実行する。クロック信号CLKの立上り時における昇圧電圧の安定性は保証される。

【0361】出力ビットサイズ選択信号/BSが“H”の場合には、AND回路1810および1812はバッファ回路として機能する。この場合には、チャージポンプ回路1602a～1602dがそれぞれチャージポンプ動作を実行する。図149は、出力ビットサイズ選択信号発生回路の構成を示す図である。図149において、出力ビットサイズ選択信号発生回路1820は、ボンディングパッド1822の電位を検出し、出力ビットサイズ選択信号/BSを発生する。回路1820は、電源電圧 V_{cc} 供給ノードと内部ノード1829との間に

(74)

特開平6-318391

145

設けられる高抵抗の抵抗体1824と、内部ノード1829の信号電位を反転増幅するインバータ回路1826と、インバータ回路1826の出力を反転増幅するインバータ回路1828を含む。パッド1822は、通常はフローティング状態とされる。この場合、出力ビットサイズは、たとえば×8ビットと最大の出力ビットサイズに設定される。パッド1822がフローティング状態の場合、内部ノード1829は高抵抗の抵抗体1824を介して電源電位Vccレベルに維持される。したがってこの場合選択信号/BSは“H”となる。

【0362】出力ビットサイズをたとえば4ビットと小さくする場合には、パッド1822は接地電位Vssへボンディングワイヤ1830により結合される。この状態においては、内部ノード1829の電位レベルが“L”となり、選択信号/BSが“L”となる。抵抗体1824は高抵抗であり、この電源電圧Vcc供給ノードから高抵抗体1824およびボンディングワイヤ1830を介して流れる電流はごく微小であり、無視できる程度である。なお出力ビットサイズとしては8ビットと4ビットとの場合を示したが、どのようなビットサイズの組合せであってもよい。また、選択信号/BSの論理が逆にされてもよい。また、高抵抗の抵抗体を用いずに、パッド1822が電源電圧Vccレベルまたは接地電位Vssレベルにその出力ビットサイズに応じて接続される構成が用いられてもよい。

【0363】〔内部電圧発生回路の第3の実施例〕図150は、この発明の内部電圧発生回路の第3の実施例の構成を示す図である。図150において、内部電圧発生回路1900は、クロック信号CLKと読出モード指示信号φreadとを受けるAND回路1902と、図140に示す内部電圧発生回路と同様の構成を備える内部電圧発生回路1500を含む。読出モード指示信号φreadはデータ読出モード時においてのみ活性状態とされる。したがって、この図150に示す内部電圧発生回路1900は、データ読出動作時においてのみ昇圧電圧Vcを発生する。出力バッファ回路が動作するのはデータ読出時においてのみである。したがって、内部電圧発生回路1500の動作を読出モード指示信号φreadに従って制御することにより、必要なときのみチャージポンプ動作を行なうことができ、消費電力を低減することができる。

【0364】図151は、読出モード指示信号φreadを発生するための回路構成を示す図である。図151において、読出モード指示信号発生回路は、クロック信号CLKと信号/CASおよび/WEにตอบสนองして読出モードが指定されたことを検出するリード検出回路1904と、リード検出回路1904からのリード検出信号φRにตอบสนองして、所定の期間活性状態となる信号を発生する信号発生回路1906を含む。信号発生回路1906から読出モード指示信号φreadが発生される。この

146

図151に示す回路の動作をその動作波形図である図152を参照して説明する。まずクロック信号CLKの立上がりにおいて信号/CASが“L”に立下がり、また信号/WEが“H”に設定され、読出モードが指定される。これにตอบสนองして、リード検出回路1904がワンショットのパルス信号φRを発生する。信号発生回路1906は、このリード検出信号φRにตอบสนองしてクロック信号CLKを発生する。この信号φreadが活性状態とされる期間は、データ出力に必要な期間のみであり、図152においては、リードモード検出信号φreadが不活性状態となる期間はレイテンシとラップ長の和に等しいクロックサイクル期間にされた状態が一例として示される。先に図84に示す信号OEMがこのリードモード検出信号φreadとして利用されてもよい。

【0365】〔内部電圧発生回路の第4の実施例〕図153はこの発明による内部電圧発生回路の第4の実施例の構成を示す図である。図153において内部電圧発生回路1910は、バンク#Aに対して設けられる内部電圧発生回路1914と、バンク#Bに対して設けられる内部電圧発生回路1916と、バンク選択信号BAAおよびBABに従ってクロック信号CLKを内部電圧発生回路1914および1916へ選択的に伝達するスイッチ回路1912を含む。図1に示すSDRAMはバンク#Aおよびバンク#Bそれぞれ別々に出力バッファが設けられている。したがって、選択されたバンクに対してのみ必要なときに内部昇圧電圧を供給することにより消費電力の低減を図る。この内部電圧発生回路が出力バッファ回路を駆動するための電源電圧を供給するために用いられるのではなく、後に説明するように昇圧ワード線駆動信号を発生するために用いられる場合、バンク#Aおよび#Bの動作態様に依拠して内部昇圧電圧を最適な消費電力で発生することができる。たとえばバンク#Aとバンク#Bがパイプライン態様で互いにオーバラップして活性化されるとき、このバンク#Aおよび#Bそれぞれに設けられた内部電圧発生回路1914および1916を駆動することにより、複数のバンクが同時に動作しても安定に必要なとされる内部電圧を供給することができる。

【0366】図154は図153に示すスイッチ回路1912の構成を示す図である。図154において、スイッチ回路1912は、バンク選択信号BAAとクロック信号CLKを受けるAND回路1920と、クロック信号CLKとバンク選択信号BABを受けるAND回路1922を含む。AND回路1920の出力がバンク#A用内部電圧発生回路1914へ与えられる。AND回路1922の出力がバンク#B用内部電圧発生回路1916へ与えられる。バンク選択信号BAAおよびBABはそれぞれ、バンク#Aおよびバンク#Bが指定されたときに活性状態の“H”となる。非選択のバンクに対しては、AND回路の出力が“L”固定となり、対応の内部

(75)

特開平6-318391

147

電圧発生回路へはクロック信号が与えられないため、チャージポンプ動作は実行されない。

【0367】このバンク選択信号BAAおよびBABは、内部電圧発生回路1914および1916が発生する内部電圧VCAおよびVCBが出力バッファの動作電源電圧である場合には、信号/CASの立下がり時にバンクアドレスBAをラッチすることにより発生される。この内部電圧発生回路がワード線駆動用の電圧を発生するために用いられる場合には、バンク選択信号BAAおよびBABは、信号/RASの立下がりバンクアドレスBAをラッチすることにより発生される。先に説明したバンク指定信号が利用されてもよい。

【内部電圧発生回路の他の適用】図155は、この発明による内部電圧発生回路の応用の一例を示す図である。図155においては、内部電圧発生回路1950はメモリセルアレイ1958における選択ワード線へのワード線駆動信号を発生するために利用される。ワード線の電位を電源電圧Vccよりも昇圧することにより、選択メモリセルのデータをメモリセルのアクセストランジスタのしきい値による信号損失を伴うことなく高速で読出すことができる。特に、近年、半導体記憶装置の大記憶容量化、高速動作化と消費電力の低減を目的として、その動作電源電圧Vccのレベルが3.3V、または1.25Vと低くされてきている。このような場合、十分な読出電圧を高速でビット線に読出すことが正確なメモリ動作のために必要とされる。このために電源電圧をさらに昇圧したワード線駆動信号を用いることが行なわれる。図155においては、メモリセルアレイ1958において、1本のワード線WLと1本のビット線BLとそれらの交差部に対応して配置される1つのメモリセルMSを代表的に示す。

【0368】メモリセルアレイ1958においてワード線を選択するためにXアドレス（ロウアドレス）をデコードするXデコーダ回路1954と、このXデコーダ回路1954の出力に従って選択されたワード線へワード線駆動信号を伝達するワード線ドライブ回路1956が設けられる。この図155においては、Xデコーダ回路1954において1つのワード線に対応して設けられるAND型デコーダ回路の構成を一例として示す。NAND型デコーダ回路が用いられてもよい。ワード線ドライブ回路1956も1本のワード線に関連する回路要素が代表的に示される。このワード線ドライブ回路1956へは、高電圧発生回路1952を介して昇圧ワード線駆動信号が伝達される。高電圧発生回路1952は、ワード線駆動タイミング規定信号φXにตอบสนองして、内部電圧発生回路1950が発生した昇圧電圧Vcをワード線駆動信号として伝達する。

【0369】ワード線ドライブ回路1956は、単位デコード回路1960からの出力を通過させる抵抗として機能するゲートトランジスタ1962と、ゲートトラン

148

ジスタ1962の出力にตอบสนองして導通し、高電圧発生回路1952から与えられた昇圧ワード線駆動信号に関連のワード線WL上へ伝達するnチャネルMOSトランジスタ1966と、単位デコード回路1960の出力を反転するインバータ回路1964と、インバータ回路1964の出力にตอบสนองしてワード線WLの電位を接地電位レベルに放電するnチャネルMOSトランジスタ1968を含む。次に簡単に動作について説明する。内部電圧発生回路1950は、クロック信号CLKと内部電源電圧（内部降圧電圧であってもよい）Vccに従って動作し（前述の実施例の構成に従って動作する）、昇圧電圧Vcを発生する。Xデコーダ回路1954において、単位デコード回路1960が選択されると、その出力信号が“H”レベルとなる。これによりトランジスタ1966がオン状態となり、トランジスタ1968がオフ状態となる。高電圧発生回路1952がタイミング信号φXに従って昇圧電圧Vcレベルのワード線駆動信号を発生する。トランジスタ1966は、この高電圧発生回路1952からの昇圧ワード線駆動信号を受けてワード線WL上へ伝達する。このとき、トランジスタ1966のセルフブートストラップ効果により、そのゲート電圧が昇圧電圧レベルにまで上昇し、選択ワード線WL上に昇圧されたワード線駆動信号が伝達される。メモリセルMSのアクセストランジスタが高速で導通し、そのメモリセルキャパシタに格納された情報を対応のビット線BL上に伝達する。

【0370】ゲートトランジスタ1962は、このトランジスタ1966のセルフブートストラップ作用によるそのゲートの昇圧電圧が単位デコード回路1960に悪影響を及ぼさないようにするために設けられる。このためゲートトランジスタ1962のゲートは動作電源電圧Vccレベルの電圧が供給される。非選択ワード線に対しては、トランジスタ1966がオフ状態、トランジスタ1968がオン状態となり、その電位レベルは接地電位レベルに保持される。上述のような構成において、内部電圧発生回路1950として先に示した第1ないし第4の実施例に示される内部電圧発生回路を利用することにより、安定に昇圧ワード線駆動信号を発生し、選択ワード線を駆動することができる。

【チャージポンプ回路の変更例】図156はチャージポンプ回路の変更例を示す図である。図156に示すチャージポンプ回路1980は負電圧VBBを発生する。通常、半導体記憶装置においては、ソフトエラーの防止、MOSトランジスタの接合容量の低減、寄生MOSトランジスタの発生防止などを目的としてP型基板領域またはP型ウェル領域に負電圧が印加される。このような負電圧を発生する回路に先に示した第1ないし第5の実施例の内部電圧発生回路の構成を適用することができる。図156において、チャージポンプ回路1980は、クロック信号CLKを受けるキャパシタ1982

(76)

特開平6-318391

149

150

と、キャパシタ1982の一方電極ノード1985と接地電位との間に設けられるダイオード接続されたnチャネルMOSトランジスタ1984と、ノード1985と出力ノード1987との間に設けられるダイオード接続されたnチャネルMOSトランジスタ1986を含む。

【0371】トランジスタ1986は、ノード1987の電位がノード1985の電位よりも高いときに導通状態となる。トランジスタ1984はノード1985の電位が接地電位レベルよりも高いときに（正確にはそのしきい値電圧以上）導通状態となる。この図156に示すチャージポンプ回路1980の動作について簡単に説明する。クロック信号CLKが“H”に立上ると、ノード1985の電位が“H”へ立上る。このノード1985の電位はトランジスタ1984を介して放電され、その電位はトランジスタ1984のしきい値電圧VTHレベルとなる。クロック信号CLKが“L”に立下ると、ノード1985の電位がVTH-Vccレベルにまで低下する。これにより、トランジスタ1986が導通し、出力ノード1987の電位を低下させる。次いでクロック信号CLKが“H”へ立下ると、ノード1985の電位が再び上昇し、トランジスタ1986がオフ状態となる。このノード1985の電位はまたトランジスタ1984により放電される。クロック信号CLKが“L”に立下ると、再びノード1985の電位が低下し、トランジスタ1986が導通し、ノード1987の電位が再び低下する。この動作を繰返すことにより、出力ノード1987の電位は-(Vcc-2VTH)レベルにまで低下する。このような負電圧を発生するチャージポンプ回路を用いて内部電圧回路を構成した場合、基板バイアス電位VBBを安定化させることができ、安定に動作する半導体記憶装置を得ることができる。

【0372】なお、この内部電圧発生回路の構成は、SDRAMにのみ適用されるものではない。外部から繰返し信号が与えられる半導体記憶装置であれば、この内部電圧発生回路の構成は適用可能である。

【0373】

【発明の効果】請求項1の発明に従えば、ローカルIO線をダミービット線を介してプリチャージしているため、ローカルIO線を駆動するための構成要素数を低減することができ、このメモリアレイの面積を低減することができる。請求項2の発明に従えば、1つの活性化されたアレイに関連するローカルIO線が多分割されかつこのローカルIO線のプリチャージがダミービット線を介して実行されているため、メモリアレイの占有面積を増大させることなく数多くのメモリセルデータをグローバルIO線上へ伝達することができる。請求項3の発明に従えば、センスアンプ活性化信号に従ってローカルIO線とグローバルIO線とを接続しているため、ローカルIO線とグローバルIO線との接続を制御するための信号線が不要となり、アレイ占有面積を低減することが

できる。

【0374】請求項4の発明に従えば、メモリアレイの活性化区分とグローバルIO線の活性化区分が異なるようにされているため、交互配置型シェアドセンスアンプ構成のメモリアレイを含むメモリマツトにおいて、グローバルIO線とローカルIO線とを接続するための接続素子数および制御信号線を低減することができ、アレイ占有面積を低減することができる。請求項5の発明に従えば、活性化されるメモリアレイに関連するローカルIO線が多分割され、このメモリアレイ領域のワード線シャント領域にグローバルIO線がそれぞれ配置されており、グローバルIO線と多分割ローカルIO線との接続がアレイ選択信号により行なわれているため、アレイ占有面積を増加させることなく数多くのメモリセルへ並行してグローバルIO線へアクセスすることができる。

【0375】請求項6の発明に従えば、並列に読出されたメモリセルデータを格納するレジスタからデータ出力端子へのデータの読出がパイプライン化できるため、データの読出を高速に行なうことができる。請求項7の発明に従えば、読出用アドレスを指定するためのラップアドレスが外部クロック信号に同期して発生されているため、正確にデータの読出を行なうことができる。請求項8の発明に従えば、ラップアドレスが有効データが現われるクロックサイクルよりも2クロックサイクル前に発生されており、出力バッファ前段にまでデータを読出すことができ、高速でデータの読出を行なうことができる。請求項9の発明に従えば、前のアクセスサイクルで読出されたデータと現アクセスサイクルで読出されたデータの両者をラッチするようにリードレジスタが構成されているため、同一バンクに対し連続的にアクセスしてもデータの破壊を伴うことなくデータの読出を行なうことができる。

【0376】請求項10の発明に従えば、有効データが現われるクロックサイクルよりも2クロックサイクル前にリードレジスタ内においてデータが転送されているため、データを出力バッファ前段にまで先読することができる。続いてリードレジスタからはパイプライン態様でデータを読出すことができるため、高速でデータの読出を行なうことができる。請求項11の発明に従えば、有効データが現われるクロックサイクルよりも1クロックサイクル前から有効データがすべて出力されるクロックサイクル完了まで出力手段を活性化しているため、確実に有効なデータのみを高速で読出すことができる。請求項12の発明に従えば、バンク指示信号に従って所定のクロック期間のみリードレジスタから出力回路手段へのデータ転送を活性化しているため、この転送回路の消費電力を最小限とすることができる。

【0377】請求項13の発明に従えば、所定ビット単位でメモリアレイへデータを書込むように構成したため、ラップストップ動作が可能となり、高速で読出およ

(77)

特開平6-318391

151

び書込を行なうことのできる半導体記憶装置が得られる。請求項14の発明に従えば、ライトレジスタが2段のラッチで構成されているため、それぞれのラッチに前のアクセスサイクル時のデータと現アクセスサイクルのデータを保持することができ、連続的に同一バンクへ書込動作を行なってもデータの破壊が生じず、確実に高速でデータの書込を行なうことができる。請求項15の発明に従えば、定常的に与えられる信号を分周しかつ位相シフトして駆動信号を発生してチャージポンプ動作により内部電圧を発生しているため、電源電圧の変動および動作温度の影響を受けることなく安定に必要な基準電圧を発生することができる。

【0378】請求項16に係る発明に従えば、データ入出力ビット幅に応じて基準電圧発生回路の駆動能力を調整しているため、不要な電力消費をなくすることができる。請求項17に係る発明に従えば、バンクそれぞれに基準電圧発生回路を設け、選択されたバンクに対してのみ基準電圧発生回路を駆動するように構成したため、消費電力を低減することができる。請求項18に係る発明に従えば、列選択開始指示が与えられた場合には、内部データ線の所定電位へのプリチャージ（イコライズ）を禁止し、データ書込時においては、この列選択指示が与えられてからラップ長よりも大きい数のクロックサイクルが経過したときに内部データ線のプリチャージ（イコライズ）を実行している。これにより、データ書込前に内部データ線をプリチャージ（イコライズ）する必要がなくなり、高速でデータの書込を行なうことができる。また内部データ線のイコライズタイミングも最適化することができる。

【0379】請求項19に係る発明に従えば、クロック信号に同期して内部データ線の所定電位へのプリチャージ（イコライズ）を実行しているため、高速でデータの書込を行なうことができるとともに、データ書込動作時におけるラップストップ動作を容易に実現することができる。請求項20に係る発明に従えば、データ書込時においては、列選択開始指示信号が与えられてから所定のクロックサイクルごとに内部データ線を所定電位にプリチャージ（イコライズ）を実行しているため、このデータ書込動作に悪影響を及ぼすことなく所定クロックサイクルごとにラップストップ動作を実行することができる。また、所定クロックサイクル数ごとに内部データ線の所定電位へのプリチャージ（イコライズ）が実行されているため、クロックサイクルが短くなっても十分余裕をもってデータの書込を行なうことができ、高速のクロック信号に同期して動作する同期型半導体記憶装置を得ることができる。

【0380】請求項21に係る発明に従えば、クロック信号に同期して内部ライトマスク信号を所定期間発生して外部から外部ライトマスク信号が活性状態とされて与えられたときのみこの内部ライトマスク信号の活性状態

152

を維持してデータの書込を禁止している。これにより、外部ライトマスク信号の活性／非活性を判断した後に内部ライトマスク信号の活性／非活性を決定する構成に比べてその判断結果を待つ必要がなく、高速でデータの書込が実行することができる。また、書込制御信号は、クロック信号に同期して発生される内部ライトマスク信号が外部からライトマスク信号が与えられていないときに非活性状態となるタイミングを考慮して活性／非活性を制御することができ、内部ライトマスク信号と内部書込制御信号のタイミングマージンを考慮する必要がなく、高速でデータの書込を実行することができる。

【図面の簡単な説明】

【図1】この発明が適用される第1型式のSDRAMの全体の構成を示す図である。

【図2】図1に示すSDRAMの標準的動作を示すタイミングチャート図である。

【図3】この発明によるSDRAMのメモリアレイ配置を示す図である。

【図4】標準的なDRAMのアレイ配置を示す図である。

【図5】標準的なDRAMのアレイ構造へSDRAMを適用した際の問題点を説明するための図である。

【図6】この発明に従うSDRAMのメモリアレイの配置を示す図である。

【図7】図6に示す1つのメモリマットの配置を示す図である。

【図8】ワード線シャント領域を説明するための図である。

【図9】ワード線シャント領域を説明するための図である。

【図10】この発明によるSDRAMのメモリアレイの具体的構造を示す図である。

【図11】この発明によるSDRAMにおけるローカルIO線とグローバルIO線との接続を説明するための図である。

【図12】この発明によるSDRAMにおけるローカルIO線とグローバルIO線との接続態様を示す図である。

【図13】ダミービット線を説明するための図である。

【図14】この発明によるSDRAMにおけるダミービット線とローカルIO線をプリチャージする構成を示す図である。

【図15】この発明によるSDRAMにおけるローカルIO線とグローバルIO線との接続態様を示す図である。

【図16】この発明によるSDRAMにおけるビット線対、ローカルIO線対およびグローバルIO線対の構成を示す図である。

【図17】図16に示す構成における信号変化を示す図である。

(78)

特開平6-318391

153

【図18】この発明によるSDRAMのアレイの詳細構造を示す図である。

【図19】この発明によるSDRAMのアレイの詳細構造を示す図である。

【図20】この発明によるSDRAMにおける1本の列選択線とグローバルIO線対との対応関係を示す図である。

【図21】1本の列選択線に関連するグローバルIO線とデータ入出力端子との対応関係を示す図である。

【図22】グローバルIO線対とデータ入出力端子との対応関係の他の例を示す図である。

【図23】この発明によるSDRAMのマスクライト動作を示すタイミングチャート図である。

【図24】図23に示すマスクライトを実現するための構成を示す図である。

【図25】図24に示す回路の動作を示す信号波形図である。

【図26】図24(A)に示す書込レジスタの具体的構成を示す図である。

【図27】図24(B)に示すマスクデータレジスタの具体的構成を示す図である。

【図28】図24(C)に示すラップアドレス発生回路の具体的構成を示す図である。

【図29】図1に示すライトバッファの具体的構成例を示す図である。

【図30】周波数とレイテンシとの対応関係を一覧にして示す図である。

【図31】SDRAMにおける各アクセス時間の定義を説明するための図である。

【図32】図30に示す周波数-レイテンシの対応関係を実現するための回路構成を示す図である。

【図33】ラップ長を説明するための図である。

【図34】図33に示すラップ長を実現するための回路構成を示す図である。

【図35】SDRAMにおける列選択に関連する回路部分の構成を示す図である。

【図36】ラップ長16のときの内部動作を示すタイミングチャート図である。

【図37】この発明による第1型式のSDRAMを収納するパッケージの外観およびピン配置を示す図である。

【図38】この発明による第2型式のSDRAMを収納するパッケージの外観およびピン配置を示す図である。

【図39】第2型式のSDRAMの外部信号の状態とそのときに指定される動作モードとの対応関係を一覧にして示す図である。

【図40】第2型式のSDRAMの動作の一例を示すタイミングチャート図である。

【図41】第2型式のSDRAMの他の動作態様を示すタイミングチャート図である。

【図42】第2型式のSDRAMの外部信号入力部の構

154

成を示す図である。

【図43】第2型式のSDRAMのアドレスバッファ部の構成を示す図である。

【図44】第2型式のSDRAMの全体の構成を示すブロック図である。

【図45】この発明によるSDRAMの出力部の構成を概略的に示す図である。

【図46】図45に示すバンク#Aのデータ出力部の構成を示す図である。

【図47】図45に示すバンク#Bのデータ出力部の構成を示す図である。

【図48】図46および図47に示すバンクからのデータ読出動作を示すタイミングチャート図である。

【図49】データ出力制御信号を発生するための回路構成を示す図である。

【図50】図49に示す回路の動作を示す信号波形図である。

【図51】図46および図47に示すリードレジスタの具体的構成の一例を示す図である。

【図52】図51に示すリードレジスタの動作を示す信号波形図である。

【図53】図51に示すプリアンプイネーブル信号を発生するための回路構成を示す図である。

【図54】図53に示す回路の動作を示す信号波形図である。

【図55】図53に示すカウンタ回路の具体的構成例を示す図である。

【図56】図55に示すカウンタ回路の動作を示す信号波形図である。

【図57】図54に示すカウンタ回路の他の構成例を示す図である。

【図58】図57に示す回路の動作を示す信号波形図である。

【図59】ラップアドレスを発生するための回路構成を示す図である。

【図60】図60に示すラップアドレス発生回路系の動作を示す信号波形図である。

【図61】ラップアドレスの発生シーケンスの一例を示す図である。

【図62】図45に示す出力バッファの具体的構成例を示す図である。

【図63】SDRAMのデータ出力部の他の構成例を示す図である。

【図64】図63に示すリードレジスタの具体的構成を示す図である。

【図65】図63に示すデータ出力部のデータ読出動作を示すタイミングチャート図である。

【図66】図63に示すデータ出力部のデータの流れを示す図である。

【図67】ラップアドレス発生回路系の構成を示す図で

155

ある。

【図 6 8】図 6 7 に示す回路系の動作を示す信号波形図である。

【図 6 9】図 6 7 に示す回路系の動作を示す図である。

【図 7 0】図 6 3 に示すデータ出力部の動作を制御するための出力制御部の構成を示す図である。

【図 7 1】図 7 0 に示すリード検出回路の構成を示す図である。

【図 7 2】図 7 1 に示すリード検出回路の動作を示す信号波形図である。

【図 7 3】図 7 0 に示す W C B R 検出回路の構成を示す図である。

【図 7 4】図 7 3 に示す回路の動作を示す信号波形図である。

【図 7 5】図 7 0 に示すレイテンシデコードラッチの構成を示す図である。

【図 7 6】図 7 0 に示すラップ長デコードラッチの構成を示す図である。

【図 7 7】ブリアンプイネーブル信号を発生するための回路構成を示す図である。

【図 7 8】図 7 7 に示す回路の動作を示す信号波形図である。

【図 7 9】図 7 7 に示すレイテンシカウンタの構成の一例を示す図である。

【図 8 0】図 7 9 に示すフリップフロップの構成の一例を示す図である。

【図 8 1】図 7 9 に示す回路の動作を示す信号波形図である。

【図 8 2】リードレジスタ転送指示信号を発生するための回路構成を示す図である。

【図 8 3】図 8 0 に示す回路の動作を示す信号波形図である。

【図 8 4】出力バッファの動作制御用信号を発生するための回路構成を示す図である。

【図 8 5】図 8 4 に示すレイテンシカウンタの具体的構成を示す図である。

【図 8 6】図 8 5 に示すレイテンシカウンタの動作を示す信号波形図である。

【図 8 7】図 8 4 に示すラップ長カウンタの具体的構成を示す図である。

【図 8 8】図 8 7 に示すラップ長カウンタの動作を示す信号波形図である。

【図 8 9】図 8 7 に示すラップ長カウンタの他の動作を示す図である。

【図 9 0】図 8 4 に示す O E M 発生回路の構成を示す図である。

【図 9 1】図 9 0 に示す O E M 発生回路の動作を示す信号波形図である。

【図 9 2】バンクアドレス指定信号を発生するための回路構成を示す図である。

(79)

特開平 6 - 3 1 8 3 9 1

156

【図 9 3】図 9 2 に示すバンクアドレス発生回路系の動作を示す信号波形図である。

【図 9 4】S D R A M のデータ書込部の構成を示す図である。

【図 9 5】図 9 4 に示す書込制御回路の構成を示す図である。

【図 9 6】図 9 4 に示すライトレジスタおよび書込回路の具体的構成を示す図である。

【図 9 7】図 9 6 に示すライトレジスタおよび書込回路の動作を示す信号波形図である。

【図 9 8】図 9 5 に示すカウンタ回路の動作の構成の一例を示す図である。

【図 9 9】図 9 8 に示す回路系の動作を示す信号波形図である。

【図 1 0 0】図 9 5 に示す転送制御信号発生回路の構成の一例を示す図である。

【図 1 0 1】図 9 5 に示す書込制御回路の動作を示すタイミングチャート図である。

【図 1 0 2】図 9 5 に示す書込制御回路の動作を示すタイミングチャート図である。

【図 1 0 3】図 9 5 に示す転送タイミング発生回路の機能的構成を示す図である。

【図 1 0 4】図 1 0 3 に示すタイミング回路の構成を示す図である。

【図 1 0 5】図 1 0 4 に示すタイミング回路の動作を示すタイミングチャート図である。

【図 1 0 6】図 1 0 3 に示す論理ゲートの構成を示す図である。

【図 1 0 7】図 1 0 6 に示す論理ゲートの動作を示す信号波形図である。

【図 1 0 8】第 1 のイコライズ信号制御タイミング動作を示すタイミングチャート図である。

【図 1 0 9】データ読出時における第 1 のイコライズ信号タイミング制御方法を示すタイミングチャート図である。

【図 1 1 0】イコライズ信号発生系の構成を概略的に示す図である。

【図 1 1 1】図 1 1 0 に示すコラムアクセス判定回路およびイコライズ信号発生回路の構成の一例を示す図である。

【図 1 1 2】ローカル I O 線対のイコライズ信号発生系の構成を示す図である。

【図 1 1 3】図 1 1 2 に示す構成の動作を示す信号波形図である。

【図 1 1 4】第 1 のイコライズ信号タイミング制御方法の変形例を示す図である。

【図 1 1 5】データ読出時における第 1 のイコライズ信号タイミング制御方法の変形例を示す図である。

【図 1 1 6】データ書込時における第 2 のイコライズ信号タイミング制御方法を示すタイミングチャート図である。

157

る。

【図117】第2のイコライズ信号タイミング制御方法におけるラップストップ動作を示すタイミングチャート図である。

【図118】第2のイコライズ信号タイミング制御方法を実現するためのコラムアクセス判定回路およびイコライズ信号発生回路の構成を示す図である。

【図119】図118に示す回路の動作を示す信号波形図である。

【図120】データ書込時における第2のイコライズ信号タイミング制御方法の変形例を示す図である。

【図121】図120に示すタイミング制御を実現するためのイコライズ信号発生回路の構成を示す図である。

【図122】第2のイコライズ信号タイミング制御方法の変形例を示す図である。

【図123】第2のイコライズ信号タイミング制御方法の変形例を示す図である。

【図124】データ書込時における第3のイコライズ信号タイミング制御方法を示すタイミングチャート図である。

【図125】第3のイコライズ信号タイミング制御を実現するための回路構成を示す図である。

【図126】第3のイコライズ信号タイミング制御方法の変形例を示す図である。

【図127】内部ライトマスク信号発生の方法を示す信号波形図である。

【図128】図127に示す内部ライトマスク信号発生系の構成の一例を示す図である。

【図129】図128に示すダイナミックラッチの構成の一例を示す図である。

【図130】図129に示すダイナミックラッチの動作を示す信号波形図である。

【図131】図128に示す回路の動作を示す信号波形図である。

【図132】ダイナミックラッチの変形例を示す図である。

【図133】内部ライトマスク発生用フリップフロップをセットするためのワンショットパルス発生部の変形例を示す図である。

【図134】図128に示すワンショットパルス発生回路に含まれるゲート回路の変形例を示す図である。

【図135】図132ないし図134に用いられるアレリアクティブ検出信号発生系の構成を示す図である。

【図136】内部ライトマスク信号発生回路の他の構成および動作波形を示す図である。

【図137】SDRAMのデータ出力部の構成を示す図である。

【図138】図137に示す出力バッファ回路のデータ出力部の構成の一例を示す図である。

【図139】図108に示す出力バッファ回路のデータ

(80)

158

特開平6-318391

出力部の他の構成例を示す図である。

【図140】図137に示す内部電圧発生回路の構成を示す図である。

【図141】図140に示す内部電圧発生回路の動作を示す信号波形図である。

【図142】図140に示す分周回路の構成の一例を示す図である。

【図143】図142に示すフリップフロップの構成を示す図である。

【図144】図142に示す分周回路の動作を示すタイミングチャート図である。

【図145】図140に示すチャージポンプ回路の構成を示す図である。

【図146】図145に示すチャージポンプ回路の動作を示す信号波形図である。

【図147】内部電圧発生回路の他の構成例を示す図である。

【図148】図147に示すスイッチ回路の構成の一例を示す図である。

【図149】図148に示す出力ビットサイズ選択信号/BSを発生するための回路構成を示す図である。

【図150】内部電圧発生回路の他の構成を示す図である。

【図151】図121に示すリードモード検出信号を発生するための回路構成を示す図である。

【図152】図150に示す回路系の動作を示す信号波形図である。

【図153】内部電圧発生回路のさらに他の構成を示す図である。

【図154】図153に示すスイッチ回路の具体的構成を示す図である。

【図155】内部電圧発生回路の他の応用例を示す図である。

【図156】チャージポンプ回路の他の構成例を示す図である。

【符号の説明】

G I O グローバルI/O線対

L I O ローカルI/O線対

B S 接続回路

M K 32Kビットメモリアレイ

M S A 2Mビットメモリアレイ (活性化区分)

M A 256Kビットメモリアレイ

D B L ダミービット線

D E Q ダミービット線およびローカルI/O線接続用トランジスタ

700 SDRAM

702 出力バッファ

R G リードレジスタ

T B 0 A ~ T B 8 A 3状態インバータバッファ

T B 0 B ~ T B 8 B 3状態インバータバッファ

(81)

特開平6-318391

159

160

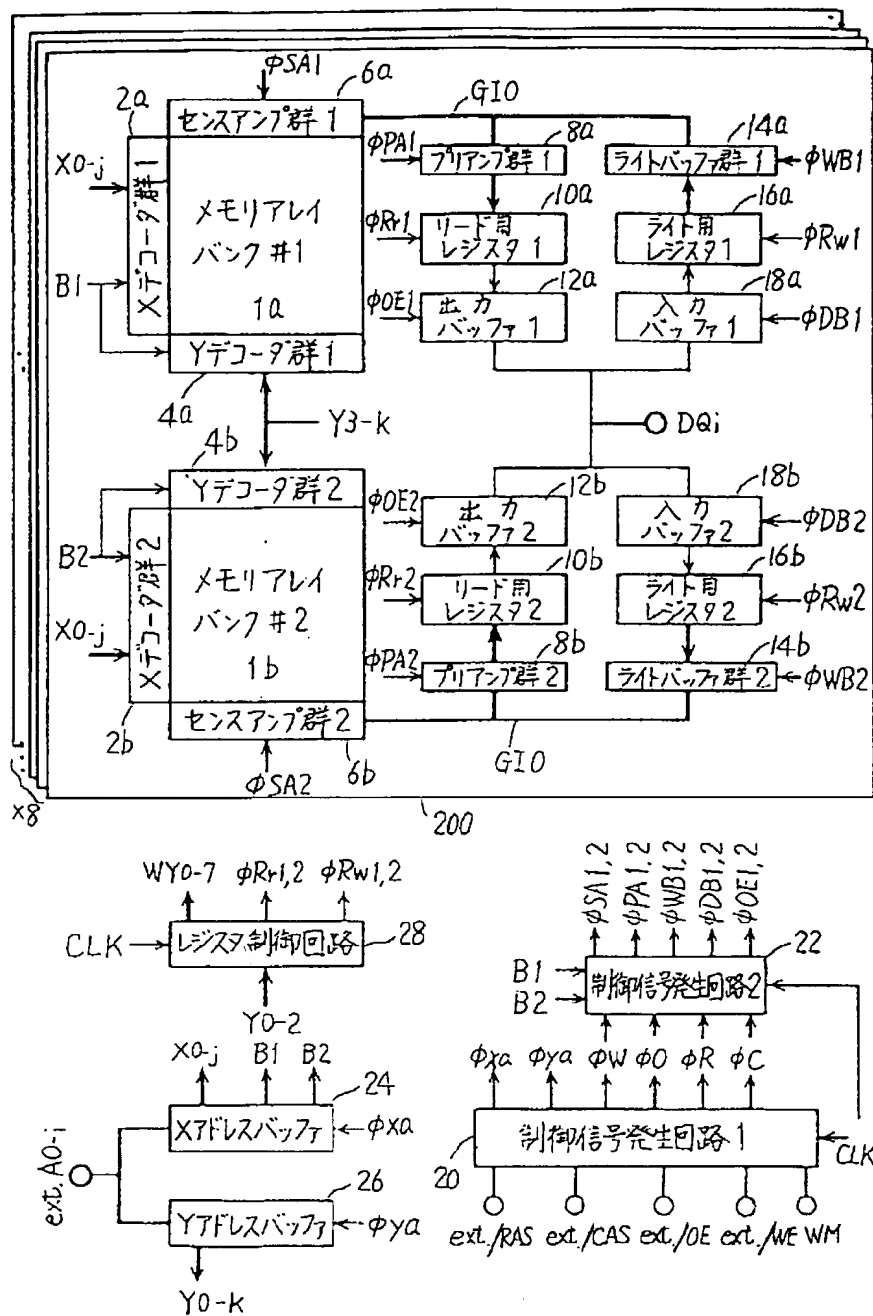
714 レイテンシ記憶回路
 715 BA発生回路
 716 ラップ長記憶回路
 718 カウンタ
 PRA プリアンプ
 LRG ラッチ回路
 720 カウンタ回路
 793 ラップアドレス発生回路
 820 先読ラッチ回路
 SLRG ラッチ回路
 852 ラップ長カウンタ
 854 ラップアドレス発生回路
 860 リード検出回路
 862 WCBR検出回路
 868 レイテンシデコードラッチ
 870 ラップ長デコードラッチ
 880 出力制御回路
 1000 レイテンシカウンタ
 1002 ラップ長カウンタ
 1006 OEM発生回路
 1008 先読ラッチ制御信号発生回路
 1100 タイミングパルス発生回路
 1102 レイテンシ記憶回路
 1104 ラップ長カウンタ
 1106 BA発生回路
 1108 BAラッチ
 1110 選択回路
 WG0~WG7 ライトレジスタ
 WR0~WR7 書込回路
 1200 入力バッファ
 1202 ラップアドレス発生回路
 1204 ライト検出回路
 1206 書込制御回路
 1210 カウンタ回路
 1212 ラップ長設定回路
 1214 ラップストップ長設定回路
 1216 転送タイミング発生回路
 1218 転送制御信号発生回路
 1220 転送制御回路
 OB0~OB7 出力バッファ回路
 1500 内部電圧発生回路
 1600 分周回路
 1602a~1602d チャージポンプ回路
 1802 スイッチ回路
 1820 出力ビットサイズ選択信号発生回路
 1900 内部電圧発生回路
 1902 AND回路
 1910 内部電圧発生回路
 1912 スイッチ回路

1914 バンク#A用内部電圧発生回路
 1916 バンク#B用内部電圧発生回路
 1950 内部電圧発生回路
 1952 高電圧発生回路
 1954 Xデコード回路
 1956 ワード線ドライブ回路
 1958 メモリアレイ
 2000 コラムアクセス判定回路
 2001 カウンタ
 10 2002 イコライズ信号発生回路
 2003 ラップ長設定回路
 2010 ライトコマンド検出回路
 2012 リードコマンド検出回路
 2014 プリチャージコマンド検出回路
 2020 AND回路
 2022 AND回路
 2024 OR回路
 2026 OR回路
 2027 ワンショットパルス発生回路
 20 2028 セット/リセットフリップフロップ
 2030 アクティブコマンド検出回路
 2032 ブロックアドレスデコードラッチ
 2021 半サイクル遅延回路
 2034 半サイクル遅延回路
 2025 セット/リセットフリップフロップ
 2030 ワンショットパルス発生回路
 2031 OR回路
 2036 ワンショットパルス発生回路
 2037 OR回路
 30 2040 OR回路
 2042 ワンショットパルス発生回路
 2044 OR回路
 2046 セット/リセットフリップフロップ
 2048 ワンショットパルス発生回路
 2049 OR回路
 2050 ダイナミックラッチ
 2052 ワンショットパルス発生回路
 2054 遅延回路
 2056 ゲート回路
 40 2058 セット/リセットフリップフロップ
 2080 スイッチングトランジスタ
 2081 AND回路
 2085 アクティブコマンド検出回路
 2086 プリチャージコマンド検出回路
 2087 セット/リセットフリップフロップ
 2100 ワンショットパルス発生回路
 2102 ダイナミックラッチ
 2104 遅延回路
 2108 フリップフロップ

(82)

特開平6-318391

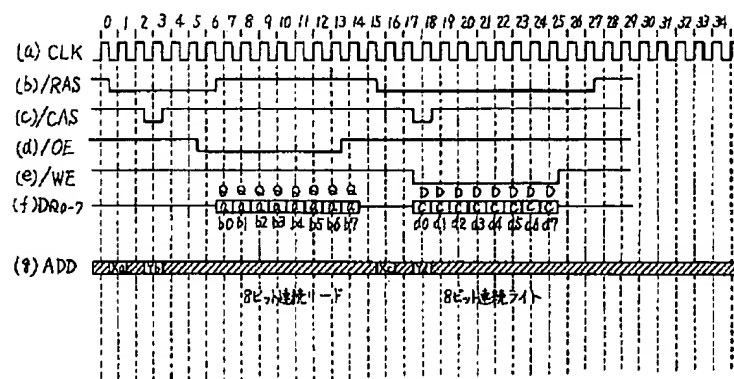
【図1】



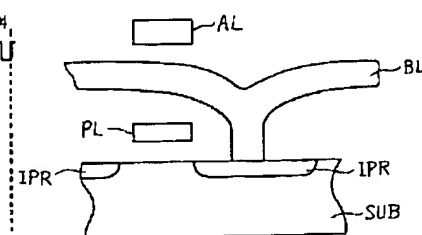
(83)

特開平6-318391

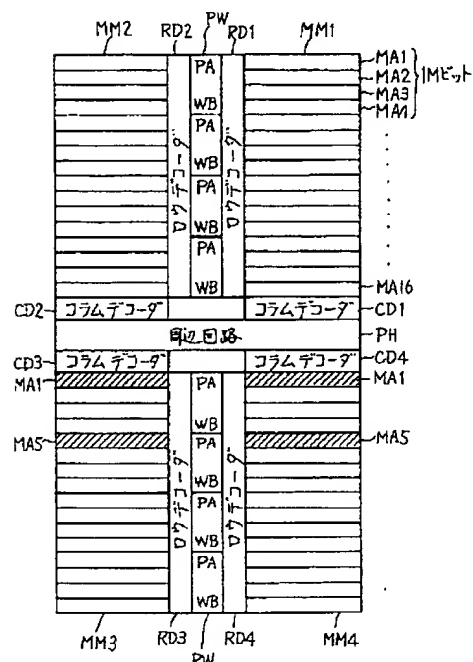
【図2】



【図8】

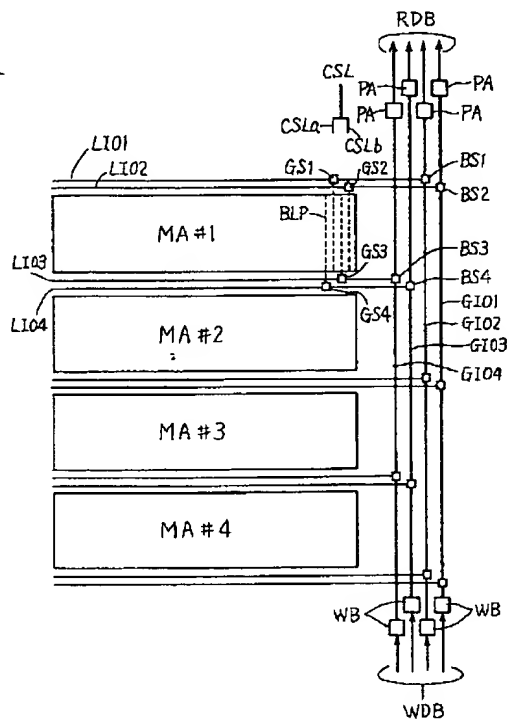


【図3】

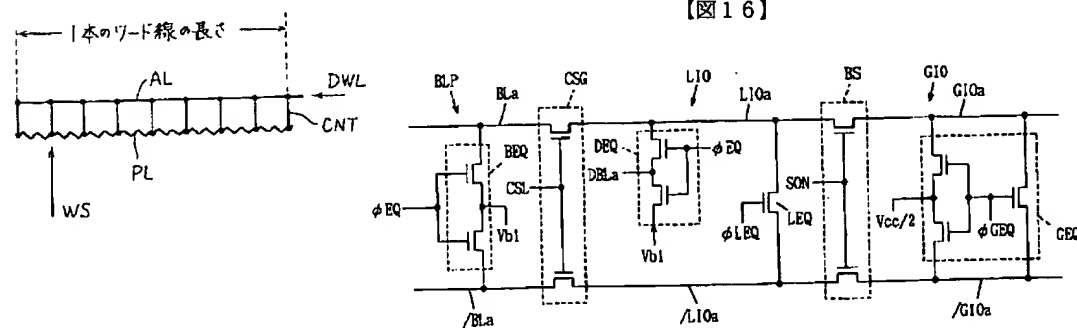


【図9】

【図4】



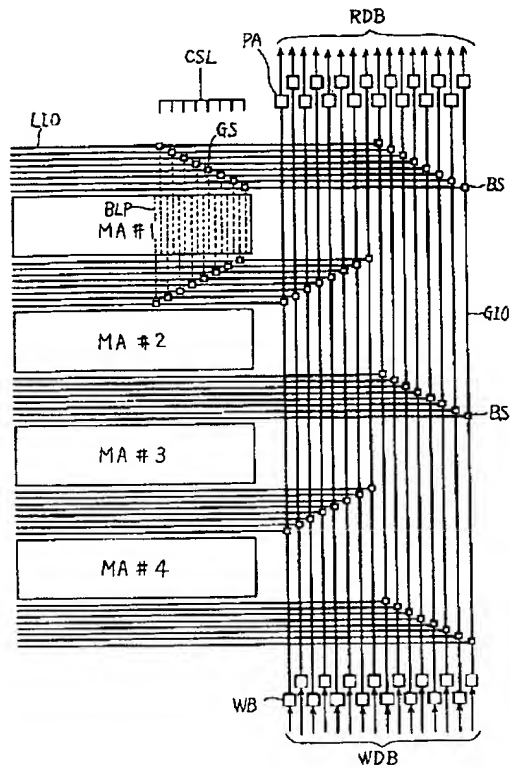
【図16】



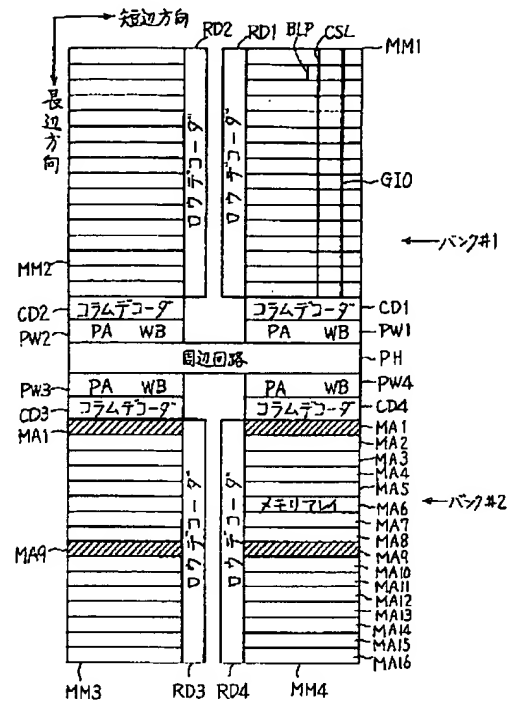
(84)

特開平6-318391

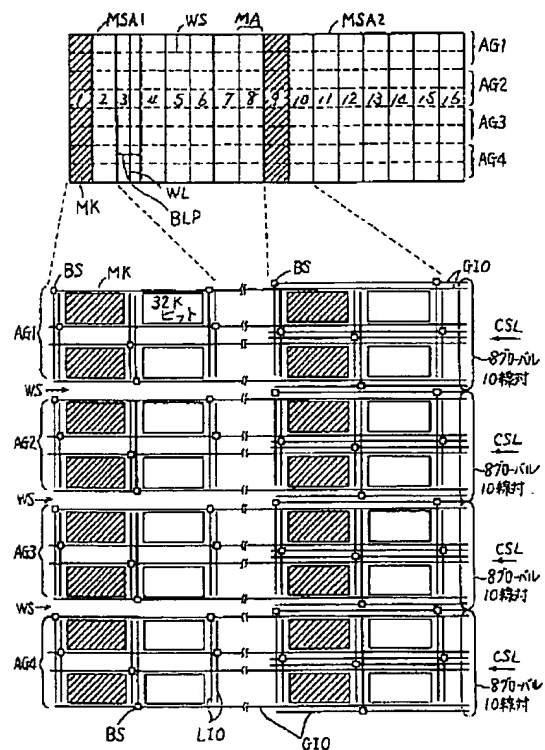
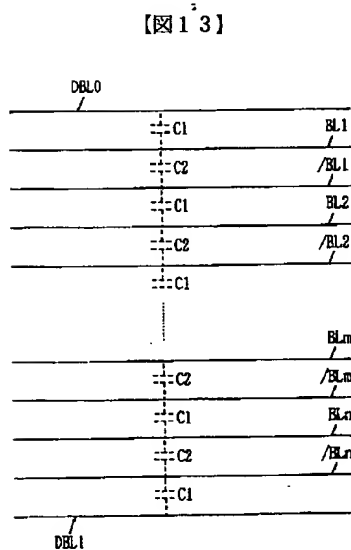
【図5】



【図6】



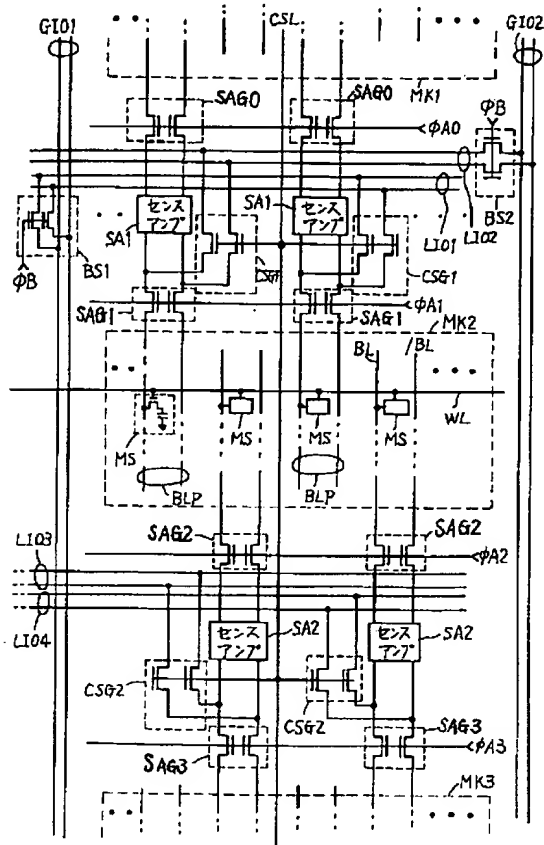
【図7】



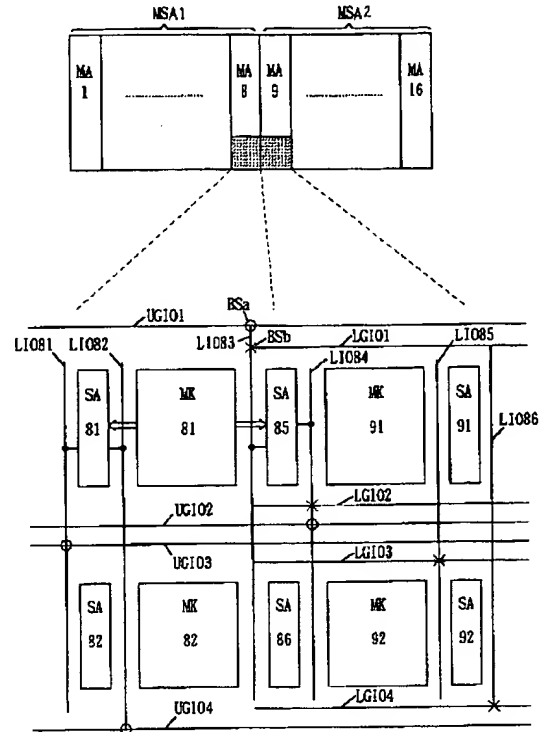
(85)

特開平6-318391

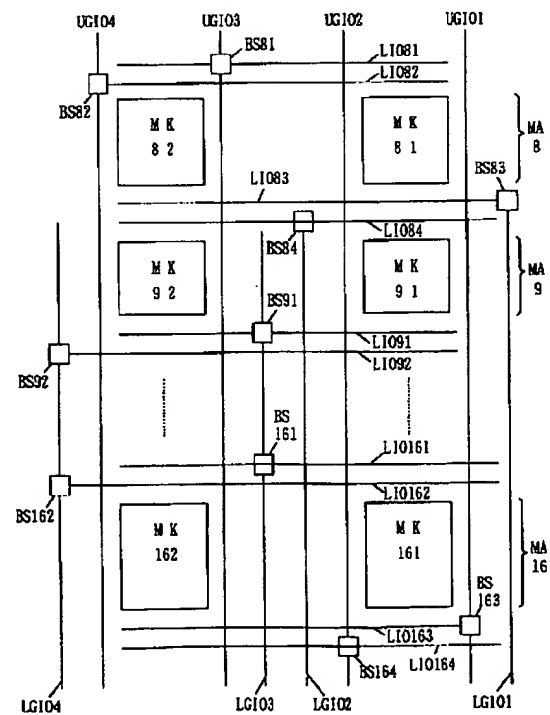
【図10】



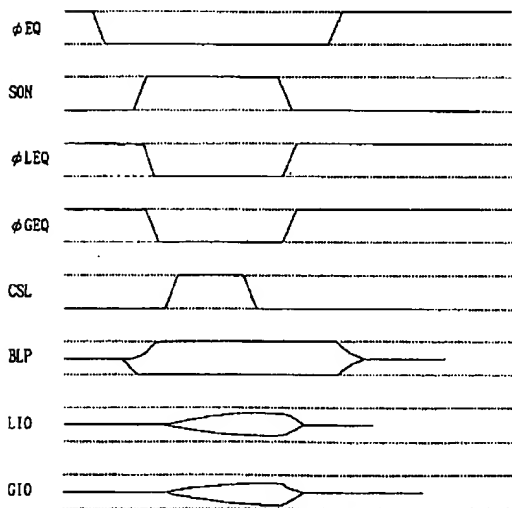
【図11】



【図12】



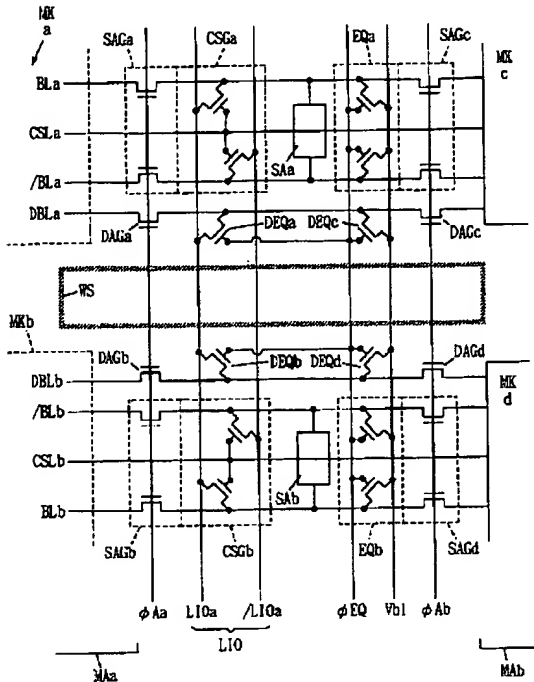
【図17】



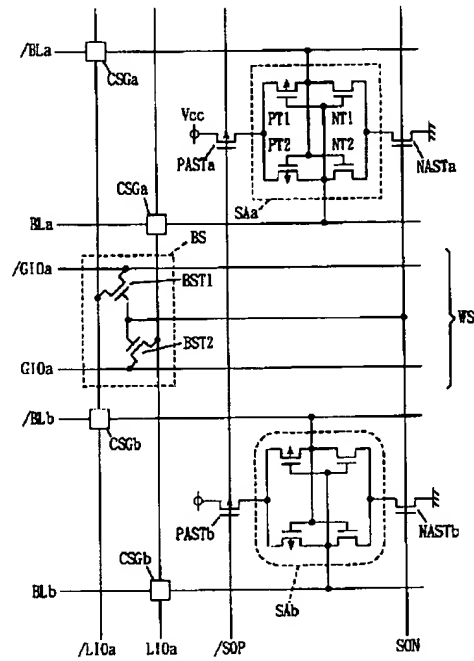
(86)

特開平6-318391

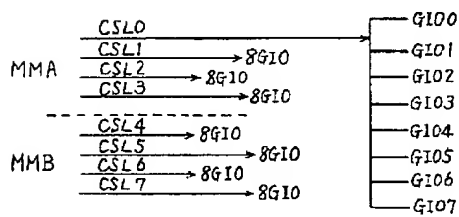
【図14】



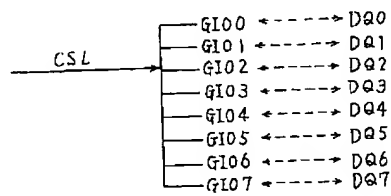
【図15】



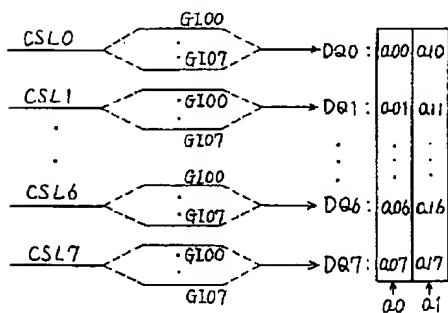
【図20】



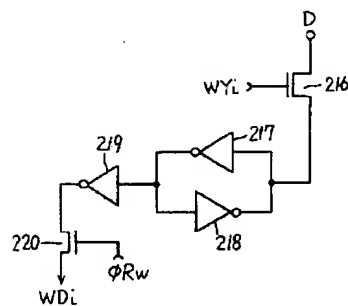
【図21】



【図22】



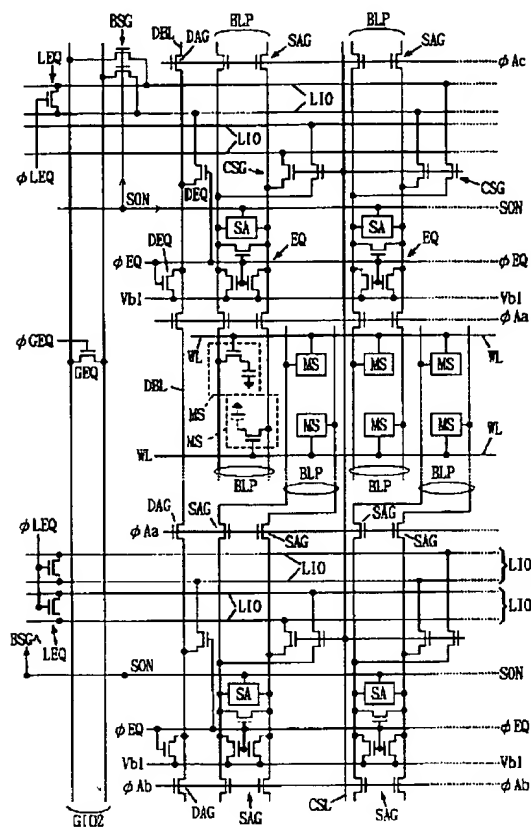
【図26】



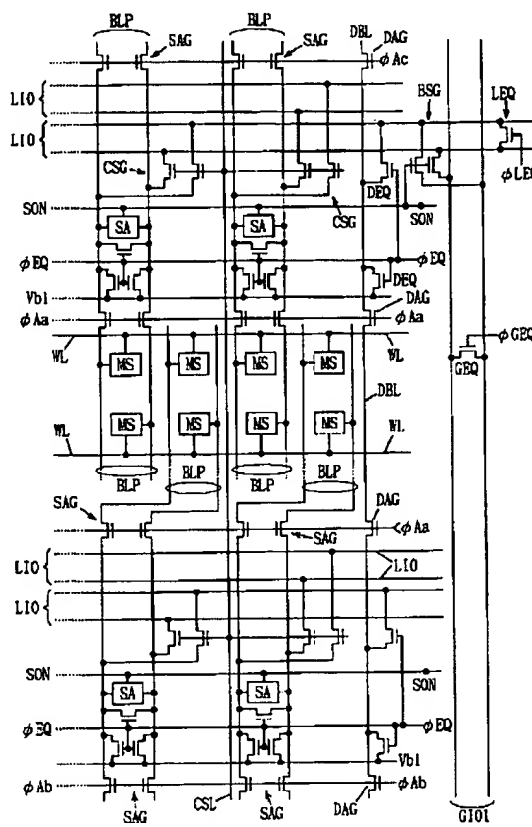
(87)

特開平6-318391

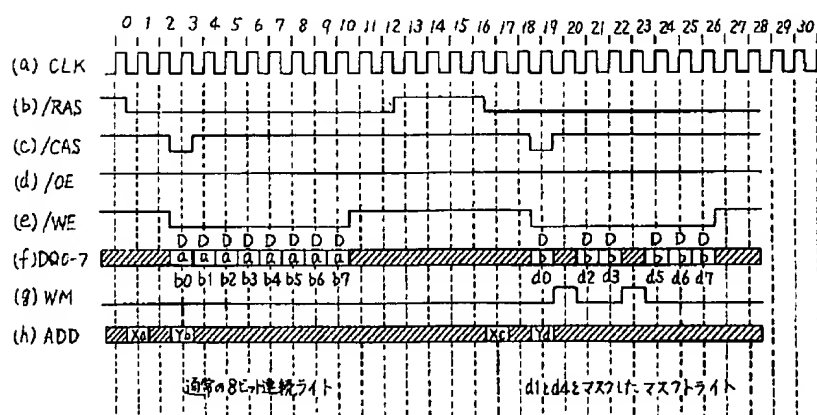
【図18】



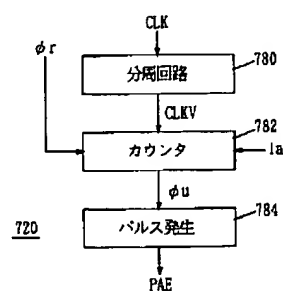
【図19】



【図23】



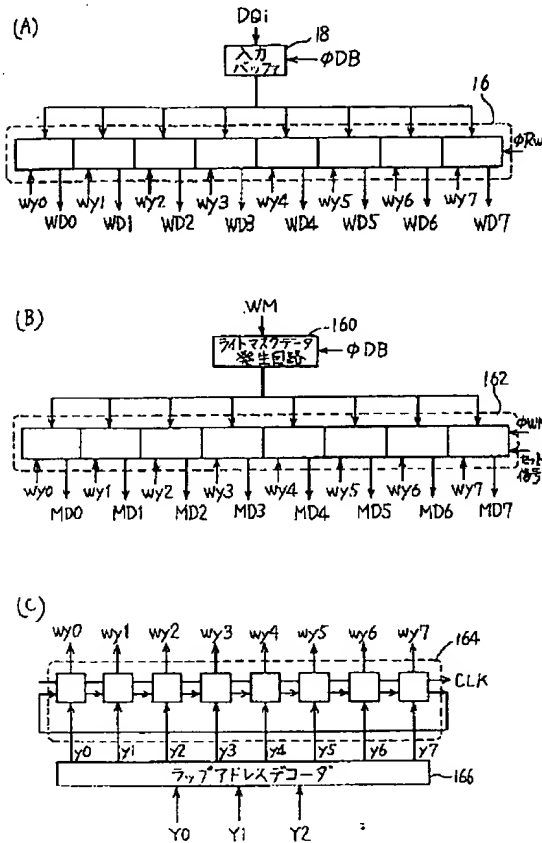
【図57】



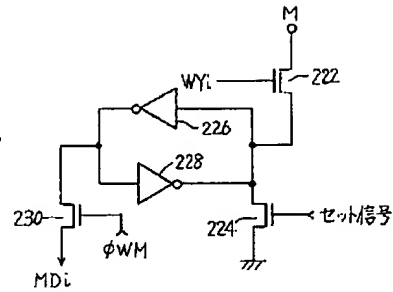
(88)

特開平6-318391

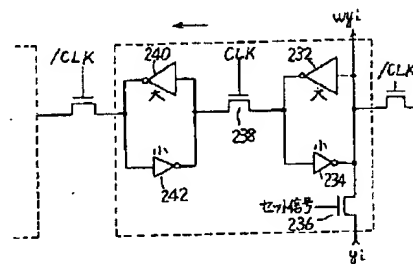
【図24】



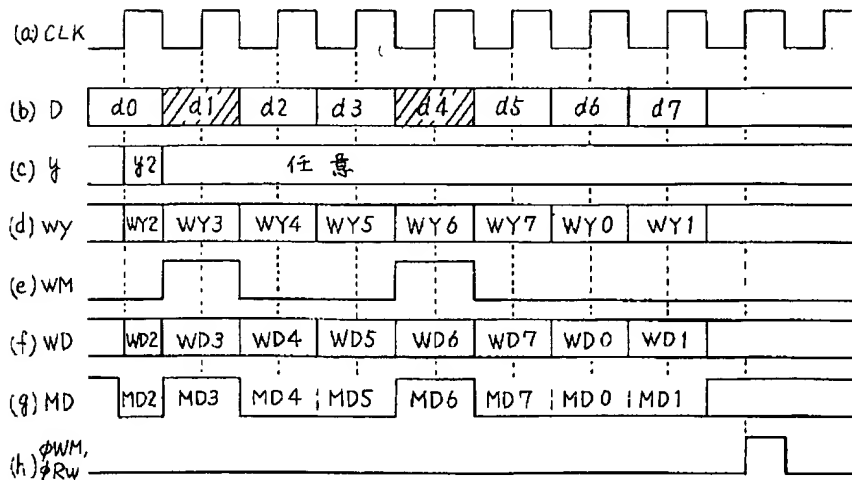
【図27】



【図28】



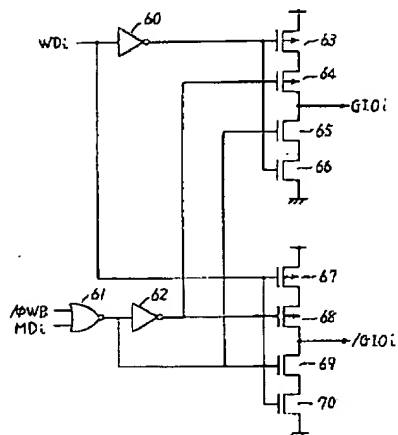
【図25】



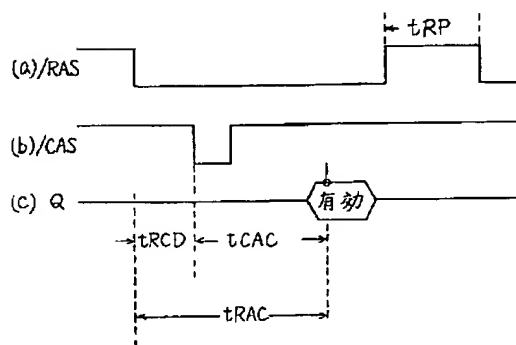
(89)

特開平6-318391

【図29】



【図31】



【図33】

ラップ長

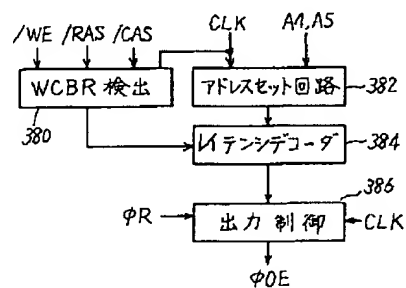
A2	A1	A0	長さ
0	0	0	4
0	0	1	8
0	1	0	16
0	1	1	32
1	1	1	全ページ

【図30】

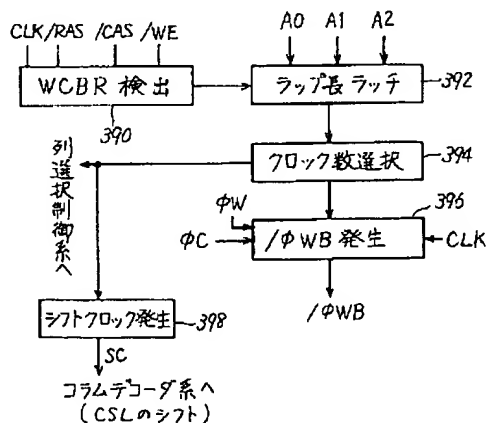
周波数—レイテンシ

セットアドレス A5 A4	最大周波数	tRAC	tCAC	tRP	tRCD min.
0 0	100 MHz	6	4	4	2
0 1	66 MHz	4	3	3	1
1 0	50 MHz	3	2	2	1

【図32】



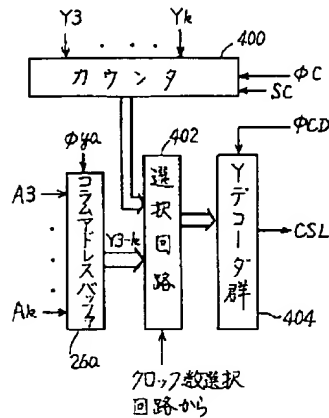
【図34】



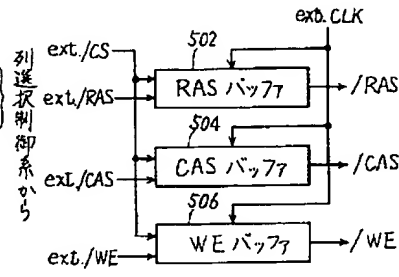
(90)

特開平6-318391

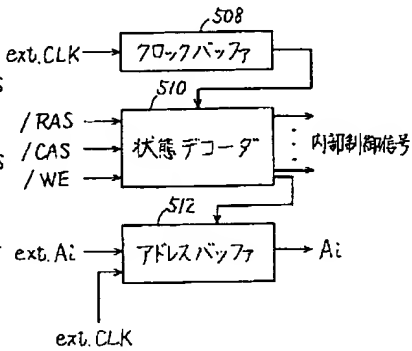
【図 3 5】



【図 4 2】

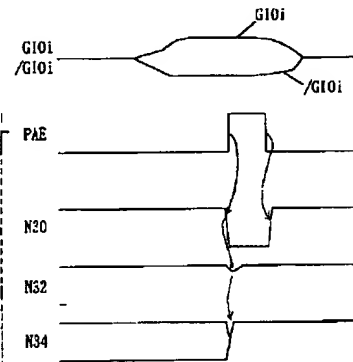
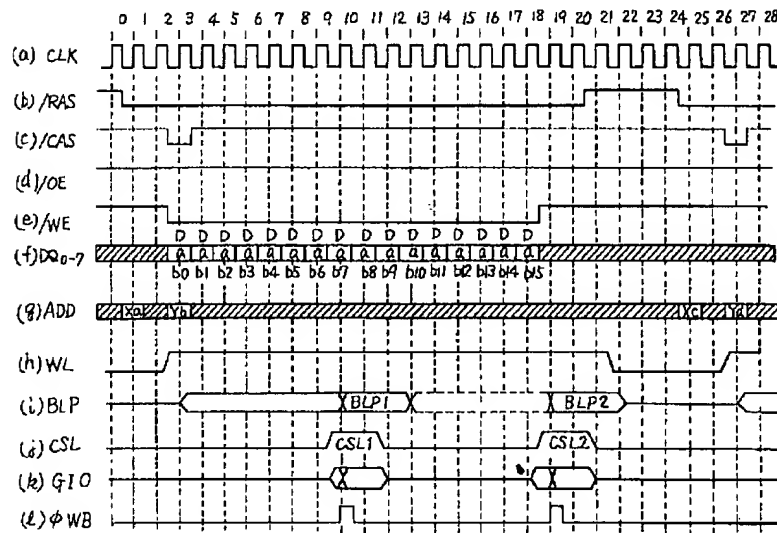


【図 4 3】

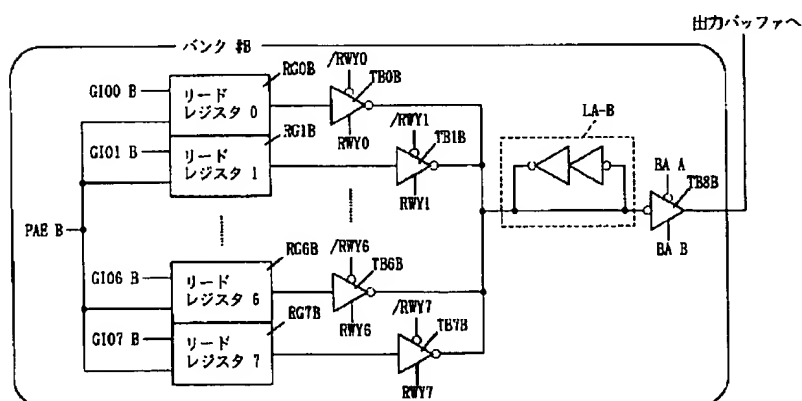


【図 5 2】

【図 3 6】

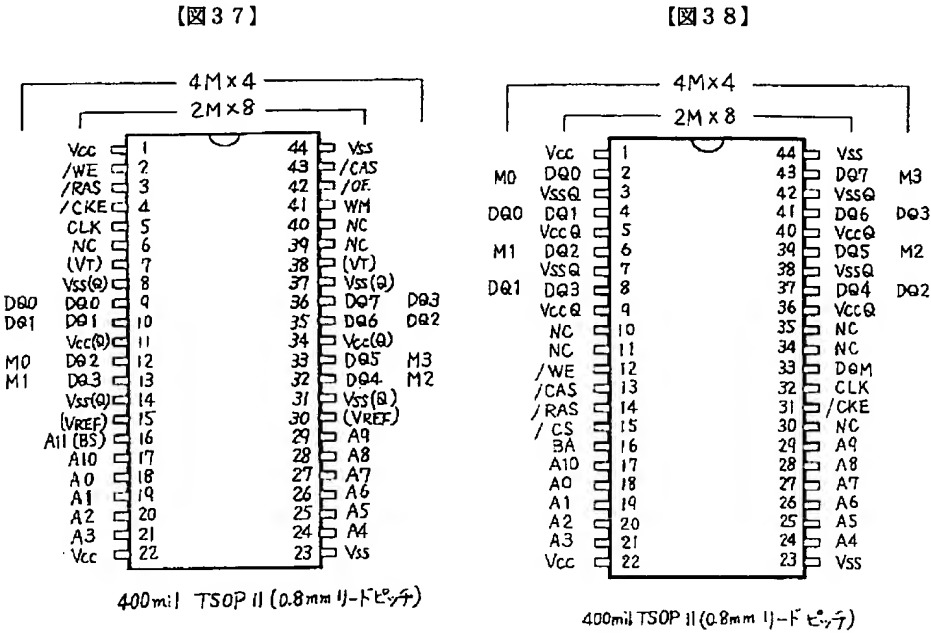


【図 4 7】



(91)

特開平6-318391

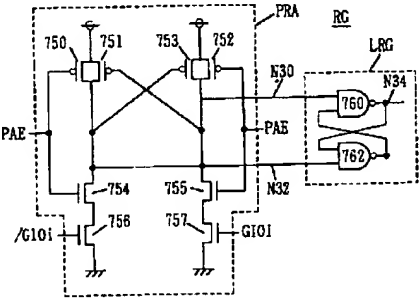


Vcc(Q), Vss(Q) : 入出力バッファ用電源
M0 ~ M3 : マスフィナーブル
リフレッシュアドレス: A0~A11 (4Kリフレッシュ)
 A0~A10 (2Kリフレッシュ)
列アドレス : A0~A8 / A0~A9 (4Kリフレッシュ)
 A0~A9 / A0~A10 (2Kリフレッシュ)
 x8 x4

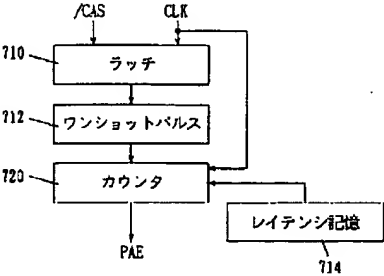
【図 3 9】

機 能	/CS	/RAS	/CAS	/WE	DQM
行アドレスストロブかつ アレイ活性化	L	L	H	H	-
列アドレスストロブかつ 読出	L	H	L	H	-
列アドレスストロブかつ 書込	L	H	L	L	-
プリチャージ/セルフリフレッシュ 終了	L	L	H	L	-
リフレッシュ/セルフリフレッシュ 開始	L	L	L	H	-
モードレジスタ セット	L	L	L	L	-
ライトイネーブル/ 出カイネーブル	-	-	-	-	L
ライトマスク/ 出カデisable	-	-	-	-	H
動作変化なし	L	H	H	H	-
/RAS, /CAS, /WE 無視	H	X	X	X	-

【図 5 1】

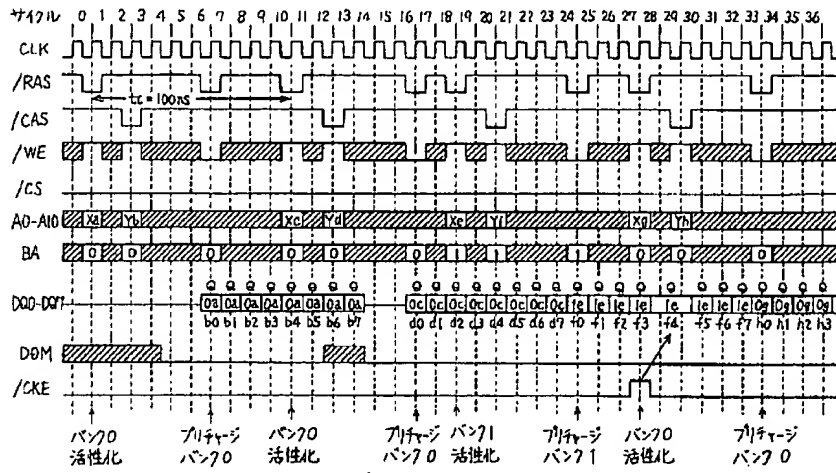


【図 5 3】

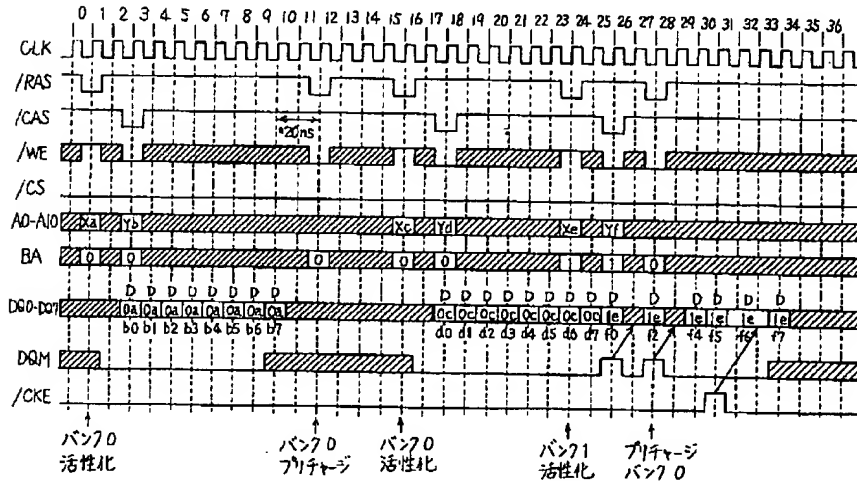


特開平6-318391

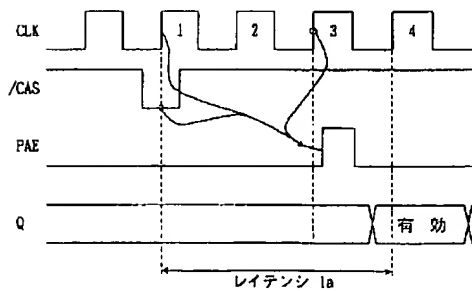
【图 40】



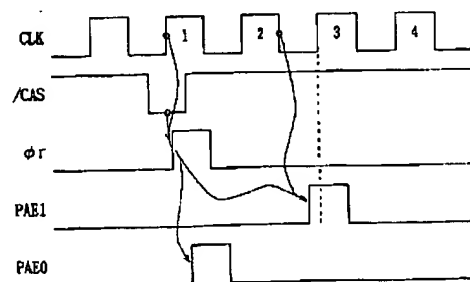
【图 4 1】



【图 5 4】



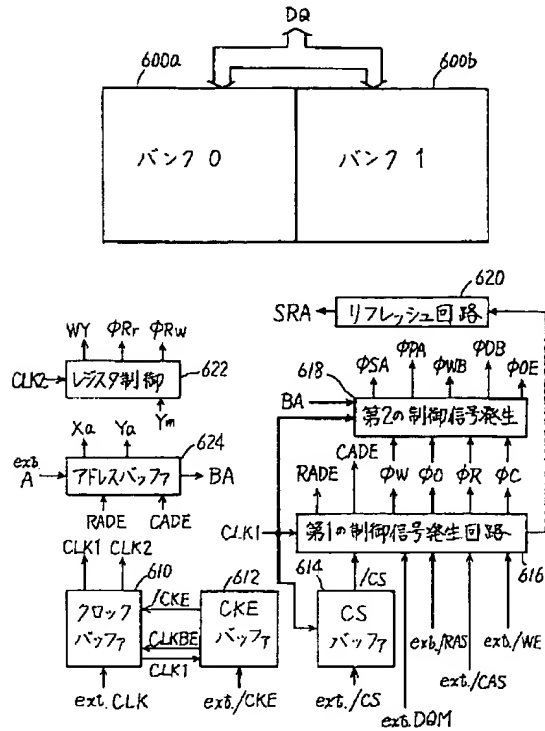
【图 5 6】



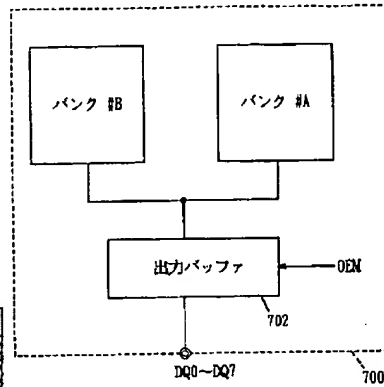
(93)

特開平6-318391

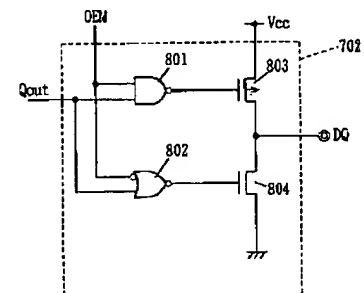
【図44】



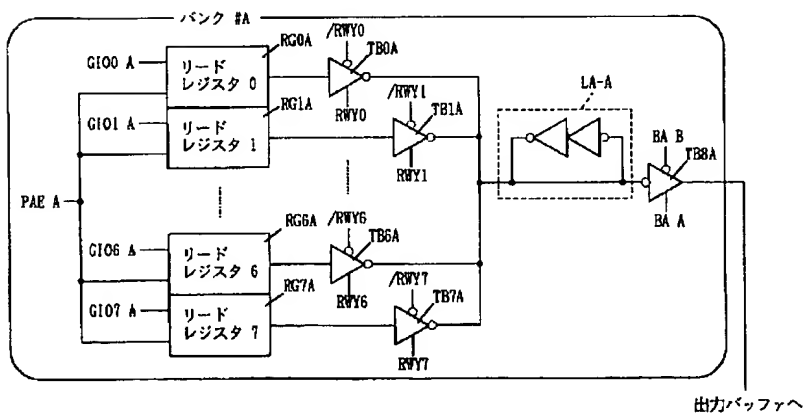
【図45】



【図62】



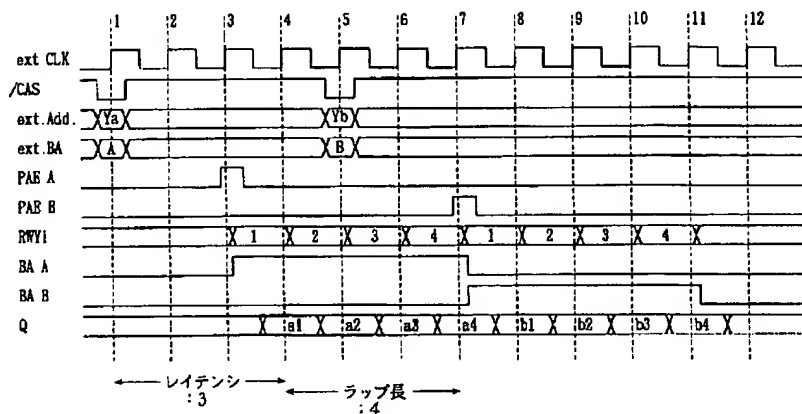
【図46】



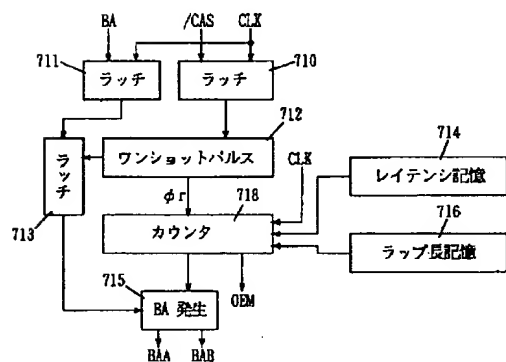
(94)

特開平6-318391

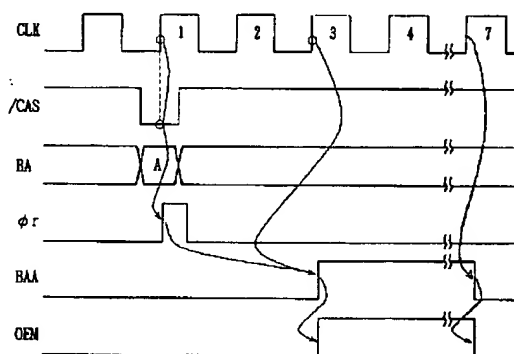
【図48】



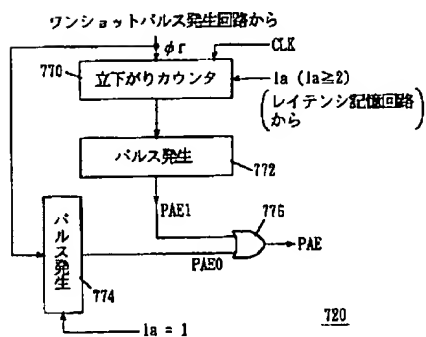
【図49】



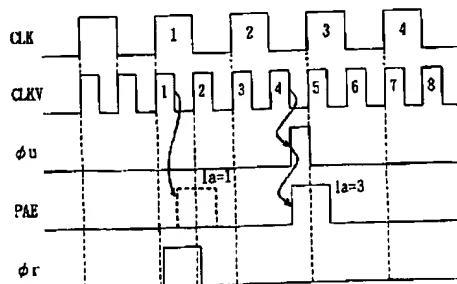
【図50】



【図55】



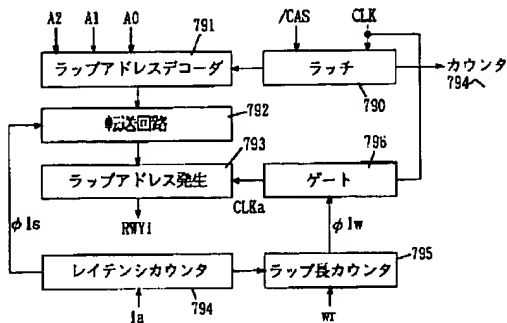
【図58】



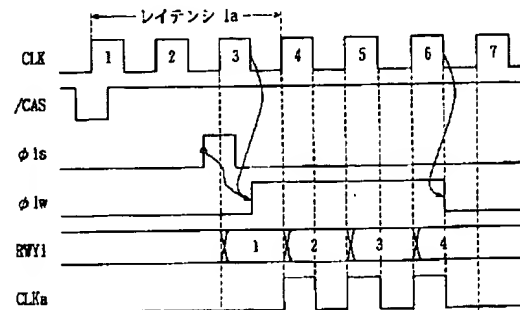
(95)

特開平6-318391

【図59】



【図60】



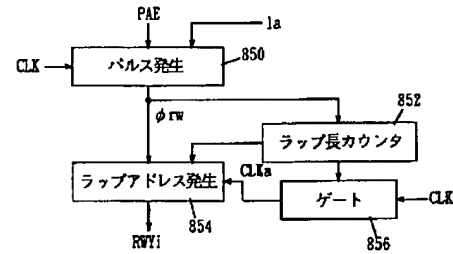
【図61】

ラップシーケンス (ラップ長=8)				
初期入力アドレス			出アドレスシーケンス	
A2	A1	A0	シーケンス	インターリーブ
0	0	0	0,1,2,3,4,5,6,7	0,1,2,3,4,5,6,7
0	0	1	1,2,3,4,5,6,7,0	1,0,3,2,5,4,7,6
0	1	0	2,3,4,5,6,7,0,1	2,3,0,1,6,7,4,5
0	1	1	3,4,5,6,7,0,1,2	3,2,1,0,7,6,5,4
1	0	0	4,5,6,7,0,1,2,3	4,5,6,7,0,1,2,3
1	0	1	5,6,7,0,1,2,3,4	5,4,7,6,1,0,3,2
1	1	0	6,7,0,1,2,3,4,5	6,7,4,5,2,3,0,1
1	1	1	7,0,1,2,3,4,5,6	7,6,5,4,3,2,1,0

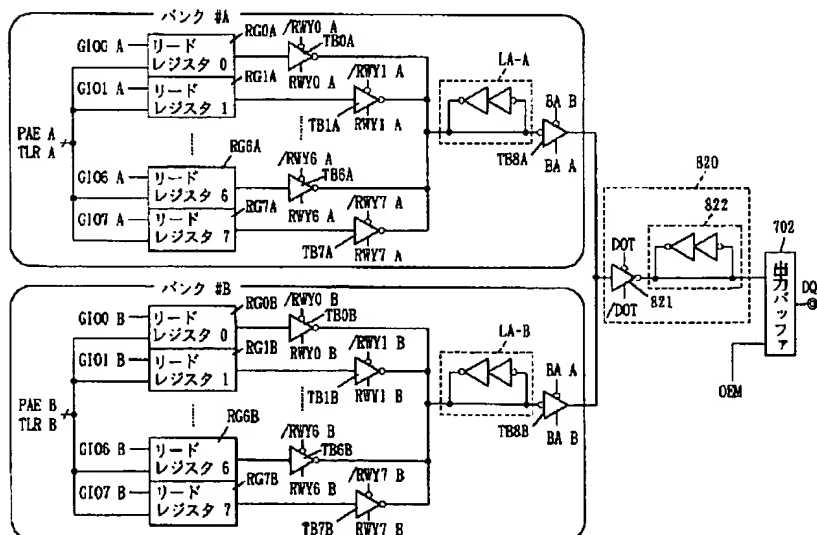
A6 = 0 → シーケンス

A6 = 1 → インターリーブ

【図67】



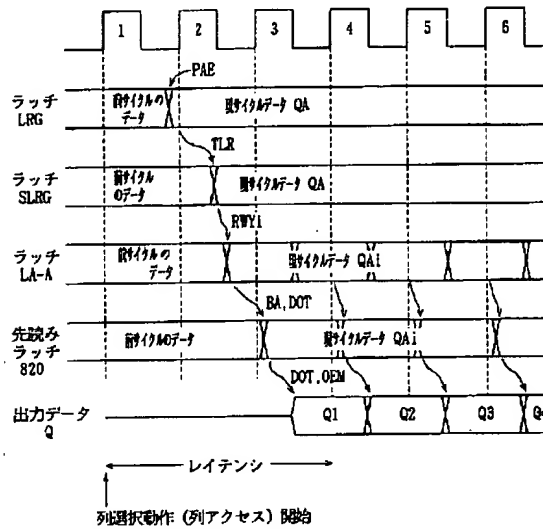
【図63】



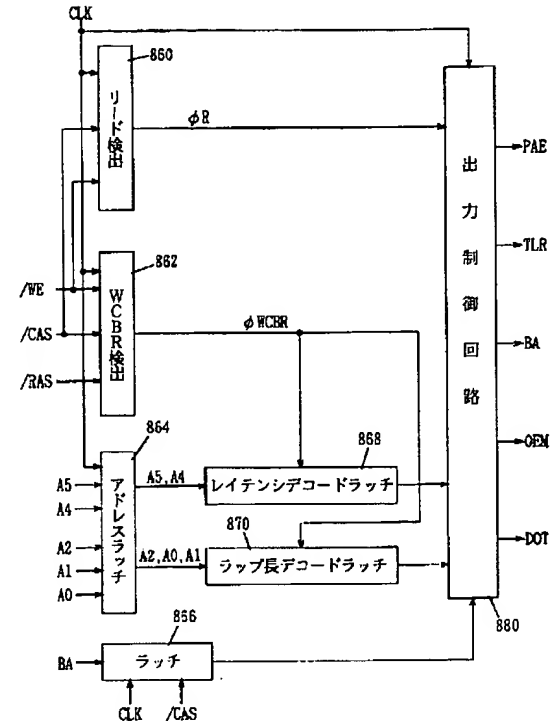
(97)

特開平6-318391

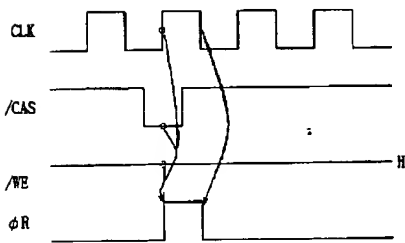
【図66】



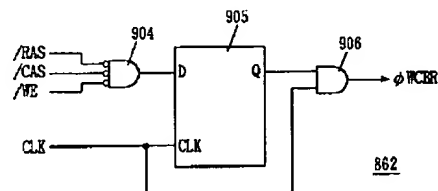
【図70】



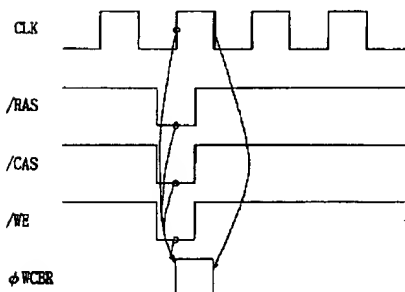
【図72】



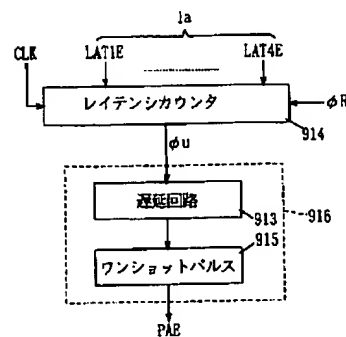
【図73】



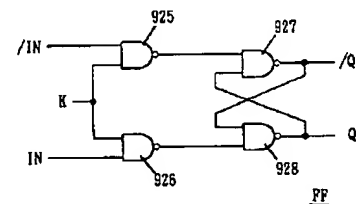
【図74】



【図77】



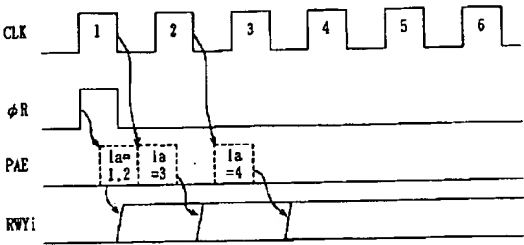
【図80】



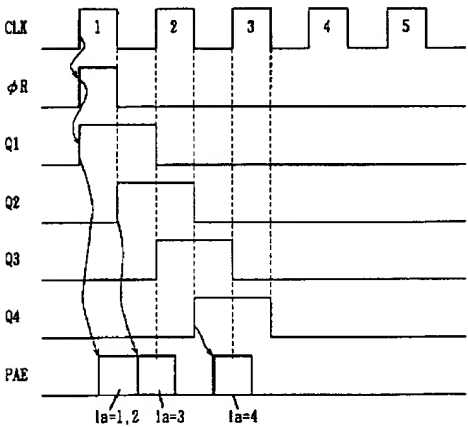
(98)

特開平6-318391

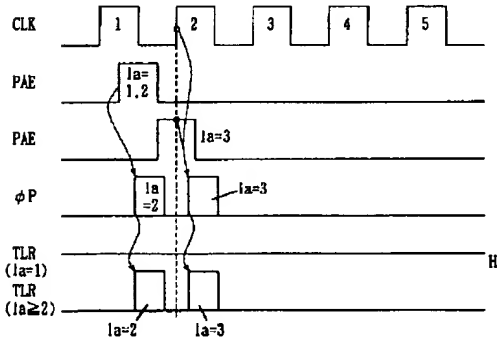
【図78】



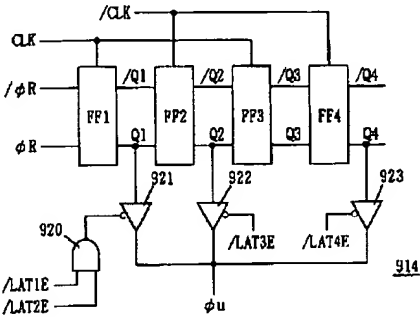
【図81】



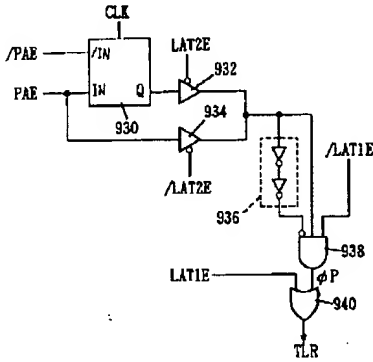
【図83】



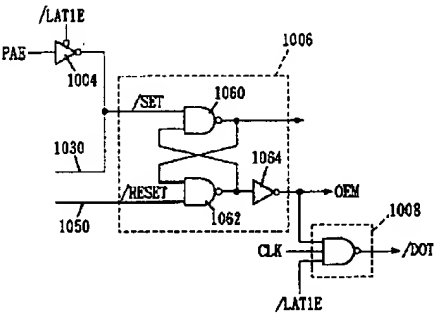
【図79】



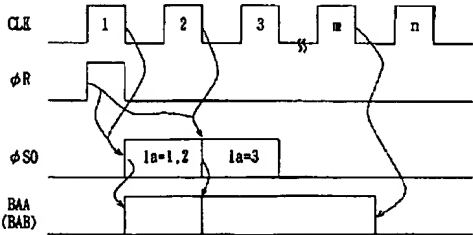
【図82】



【図90】



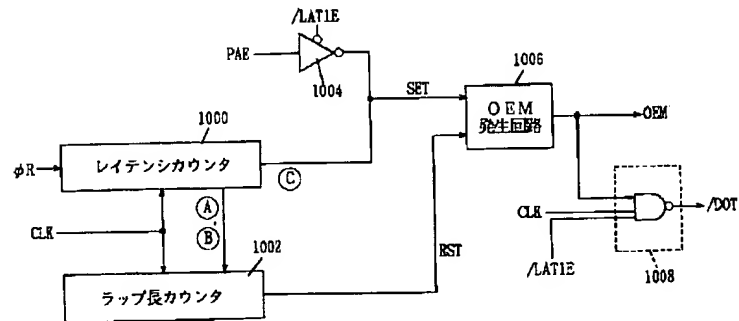
【図93】



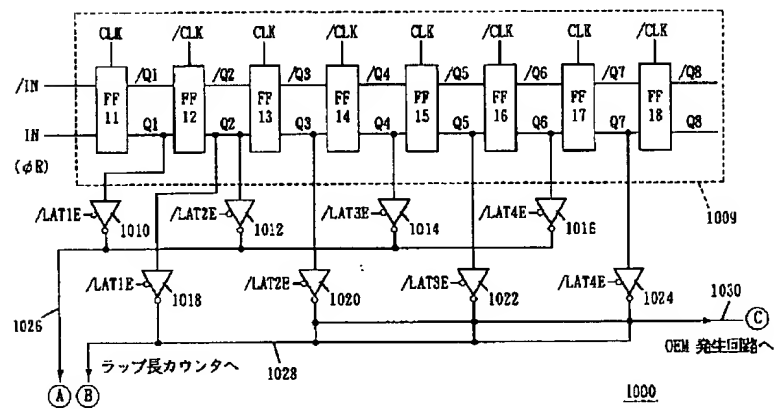
(99)

特開平6-318391

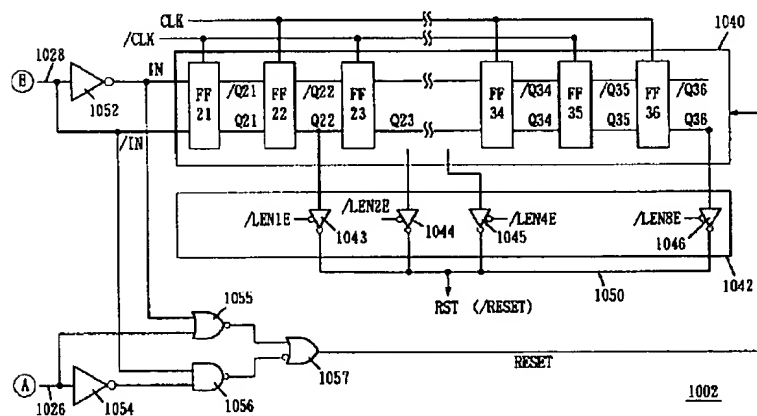
【図84】



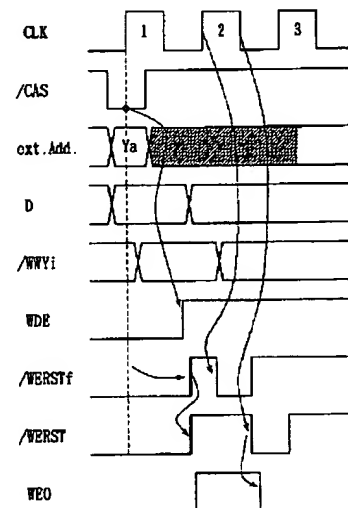
【図85】



【図87】



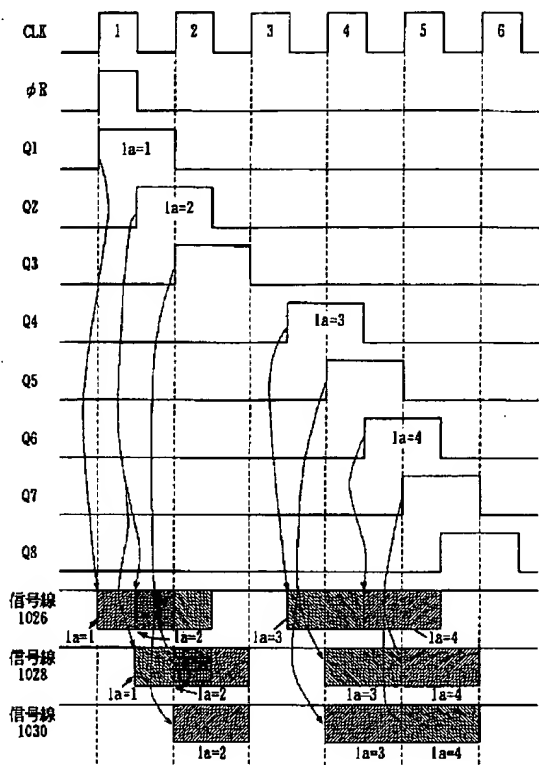
【図102】



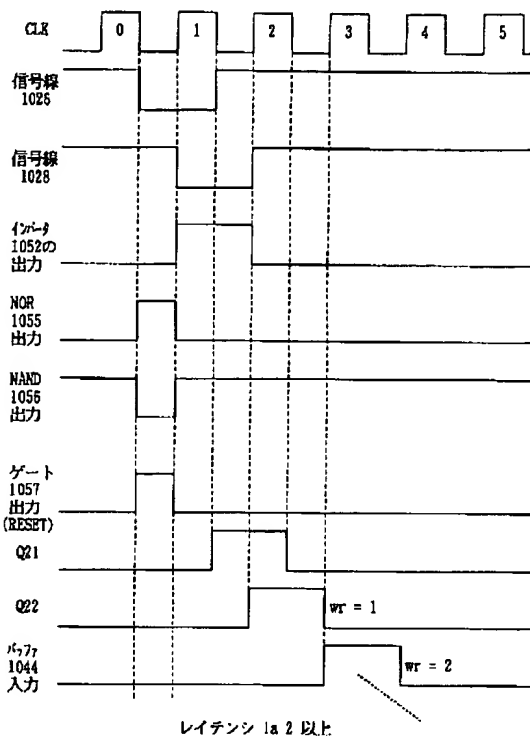
(100)

特開平6-318391

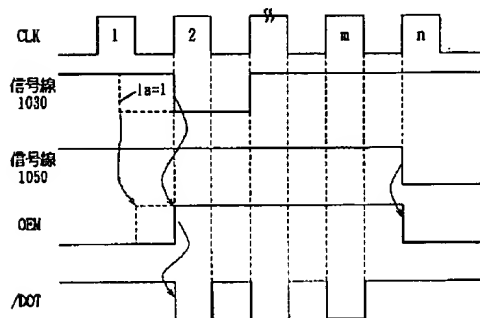
【図86】



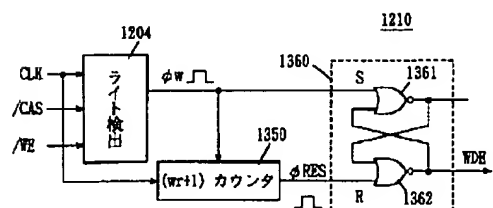
【図88】



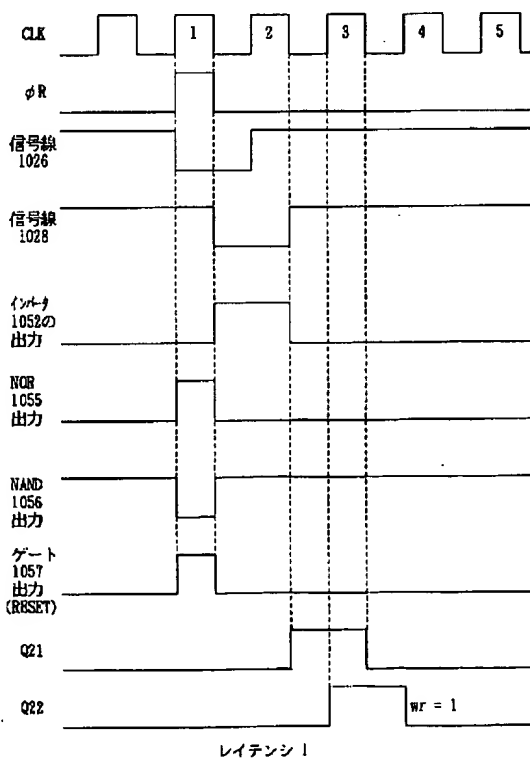
【図91】



【図98】



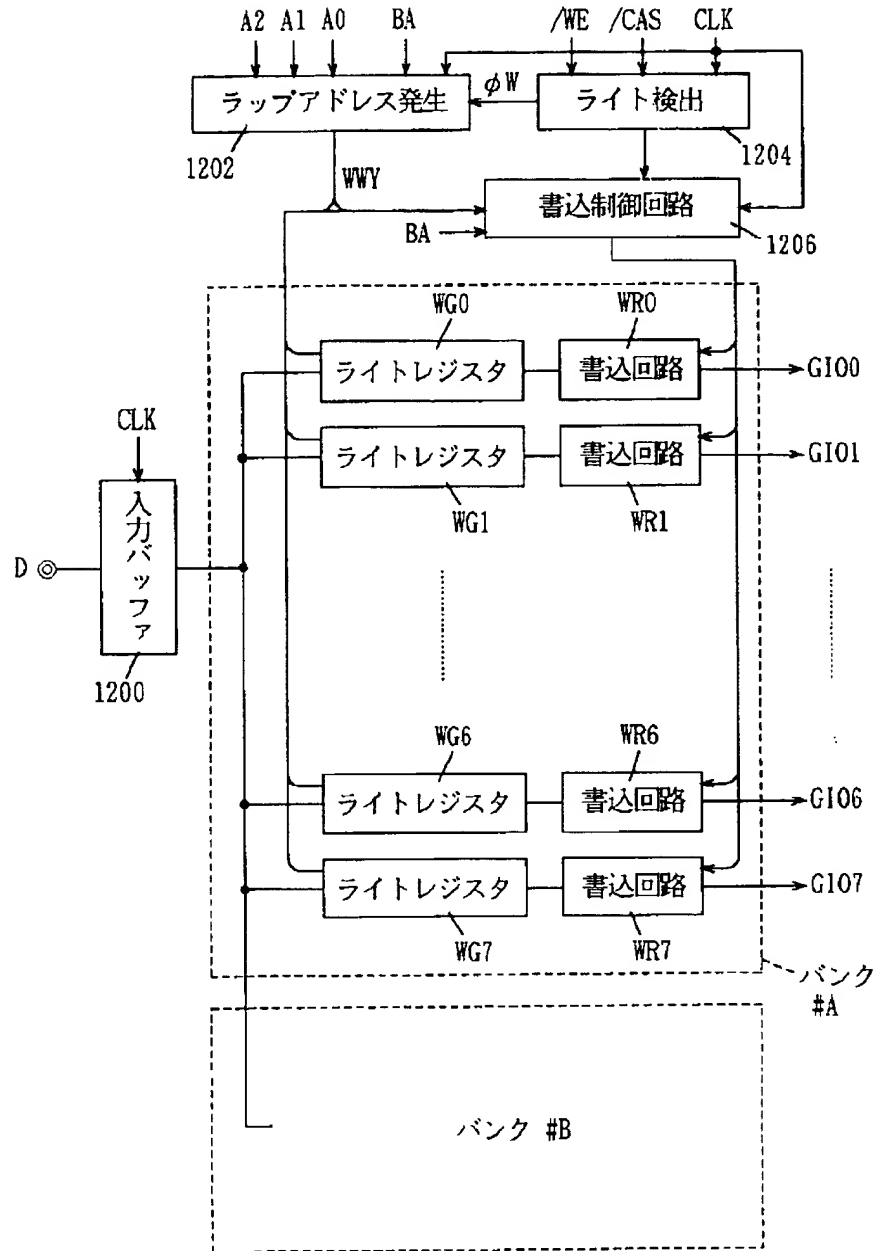
【図89】



(102)

特開平6-318391

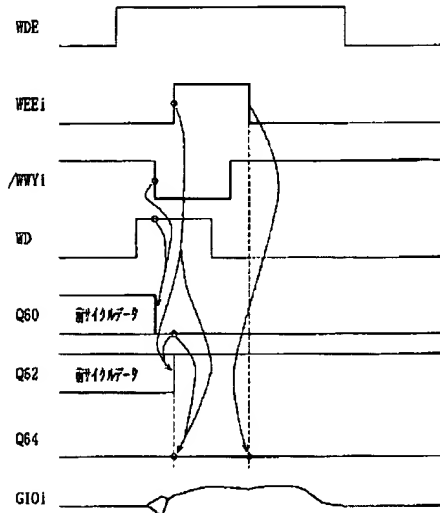
【図94】



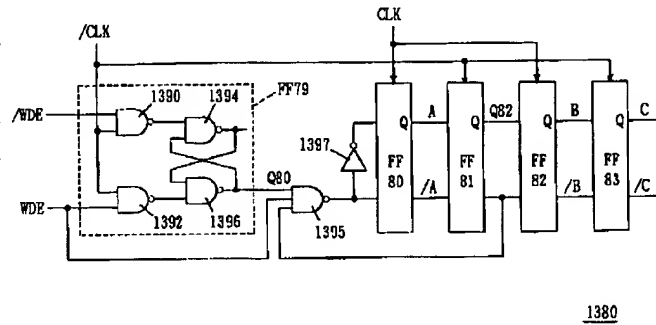
(103)

特開平6-318391

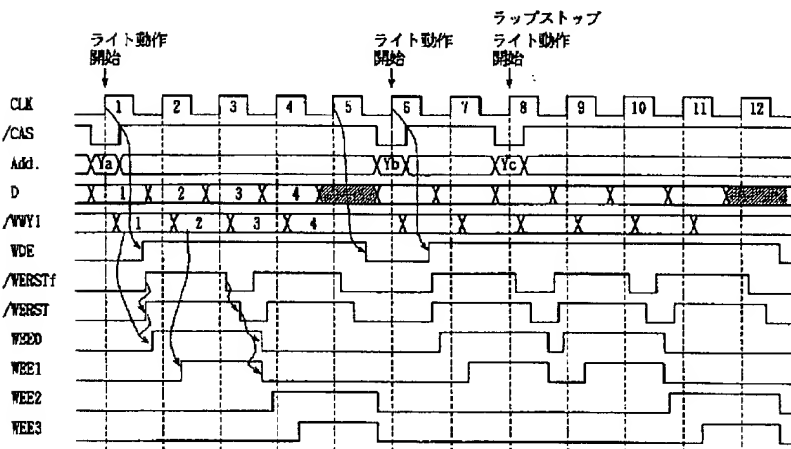
【図97】



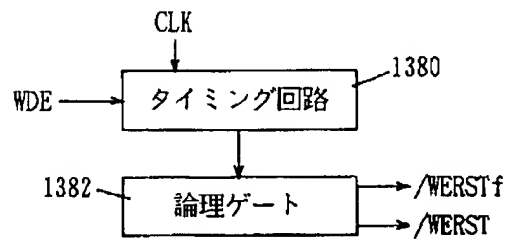
【図104】



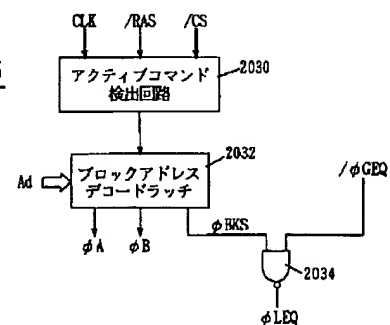
【図101】



【図103】



【図112】



特開平6-318391

The timing diagram illustrates the relationship between the clock (CLK) and various control and data signals over five clock cycles. The signals are:

- CLK**: The system clock, shown as a periodic square wave.
- VDE**: Valid Data Enable, which is active (high) during cycles 1 through 5.
- Q80**: Data bus output for address 80, which is valid during cycles 1 through 5.
- A**: Address bus output, which is valid during cycles 1 through 5.
- Q82**: Data bus output for address 82, which is valid during cycles 1 through 5.
- B**: Data bus output, which is valid during cycles 1 through 5.
- C**: Data bus output, which is valid during cycles 1 through 5.

Vertical dashed lines mark the boundaries of the five clock cycles, labeled 1 through 5 at the top.

Timing diagram for the 78C585 showing signals CLK, WDE, Q80, /A, Q82, /B, C, /WERSTf (LEN1E-H), /WERSTf (LEN1E-L), and /WERST over five clock cycles. The diagram illustrates the relationship between the clock, address, data, and control signals. Annotations indicate 'ラップ長 2以上' (Lap length 2 or more) for the WDE signal and 'ラップ長 1' (Lap length 1) for the Q80 signal.

The diagram shows the timing of several signals relative to a clock (CLK) with cycles 0 through 7. The signals are:

- ext. CLK**: The clock signal.
- ext. /CAS**: The external chip select signal, which is active low. It transitions from high to low at the start of cycle 1 and returns to high at the start of cycle 5.
- ϕ GEQ**: The internal clock signal, which is active low. It transitions from high to low at the start of cycle 1 and returns to high at the start of cycle 5.
- CSL**: The chip select latch signal, which is active low. It transitions from high to low at the start of cycle 1 and returns to high at the start of cycle 5.
- D/Q**: The data bus, which shows four data words: D:1, D:2, D:3, and D:4. These words are loaded into the memory array during cycles 1 through 4.
- G101, G102, G103, G104**: The output signals of the memory array. Each signal shows a pulse corresponding to the data word loaded into its respective row. For example, G101 has a pulse during cycle 1, G102 during cycle 2, G103 during cycle 3, and G104 during cycle 4.
- WDE**: The write enable signal, which is active low. It transitions from high to low at the start of cycle 1 and returns to high at the start of cycle 5.

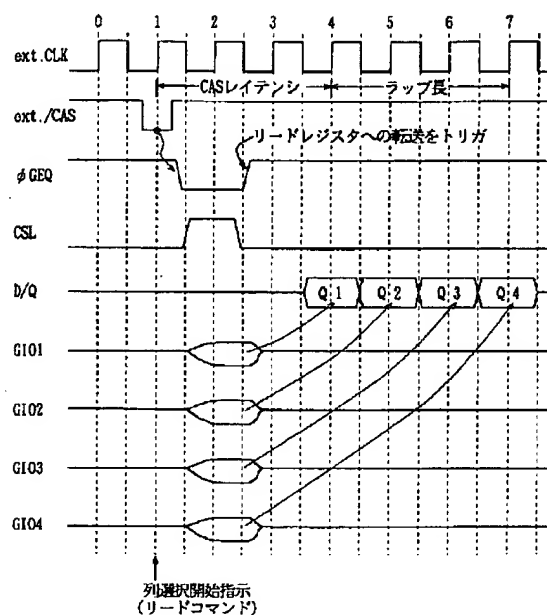
Annotations include:

- ラップ長**: A label indicating the length of the wrap-around period, spanning from the start of cycle 1 to the start of cycle 5.
- 列選択開始指示 (ライトコマンド)**: A label indicating the start of column selection (write command), pointing to the start of cycle 1.

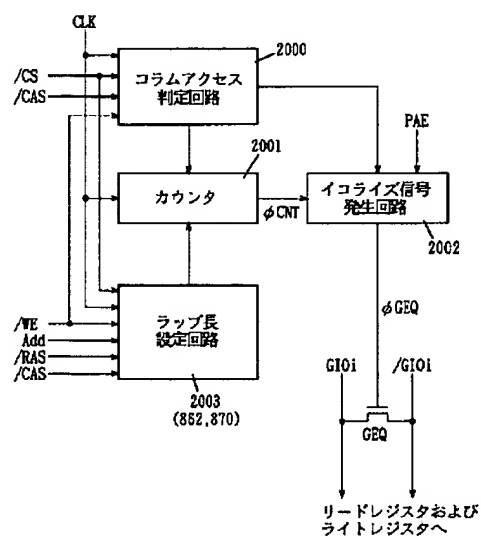
(105)

特開平6-318391

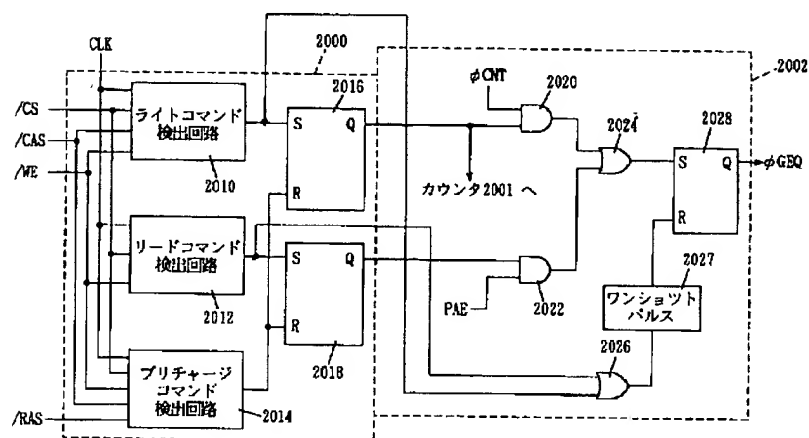
【図109】



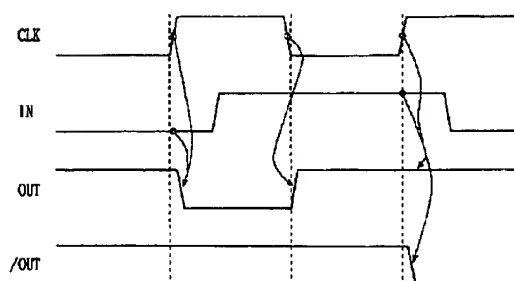
【図110】



【図111】



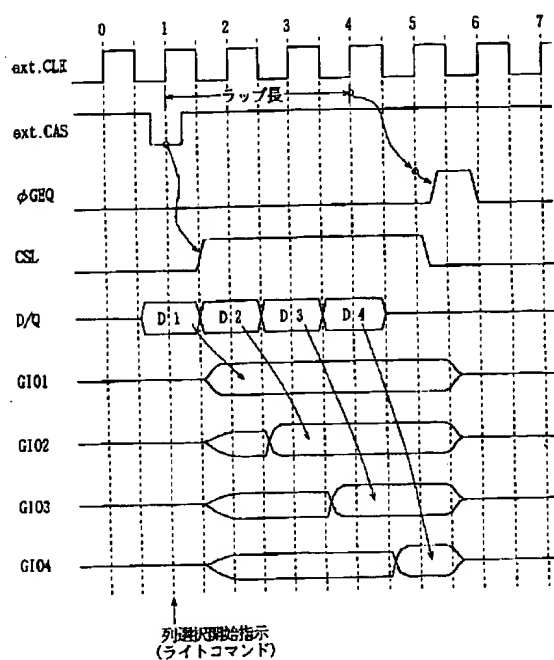
【図130】



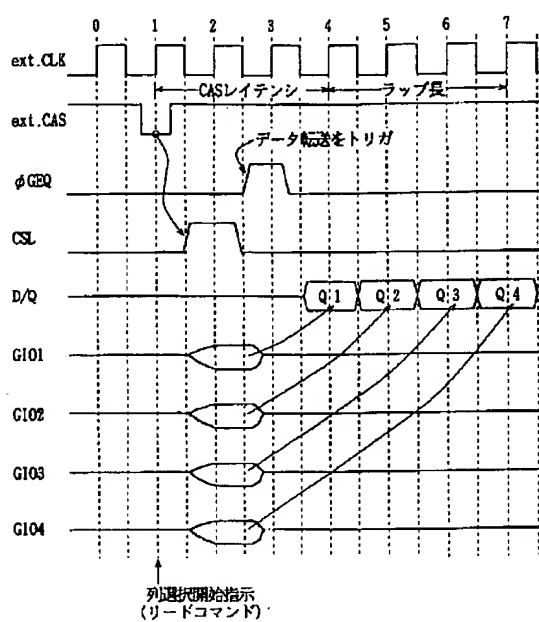
(106)

特開平6-318391

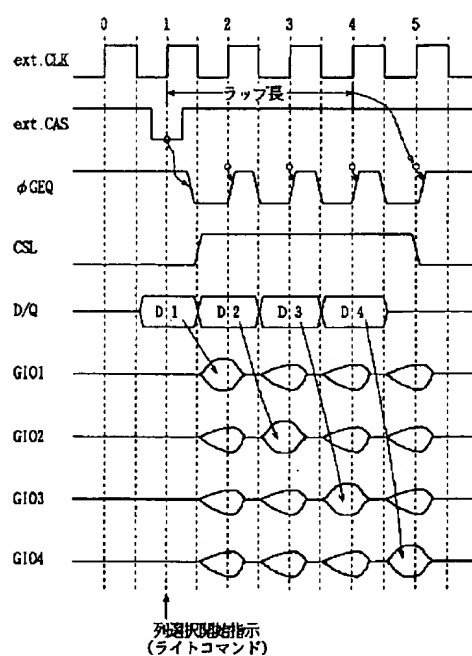
【図114】



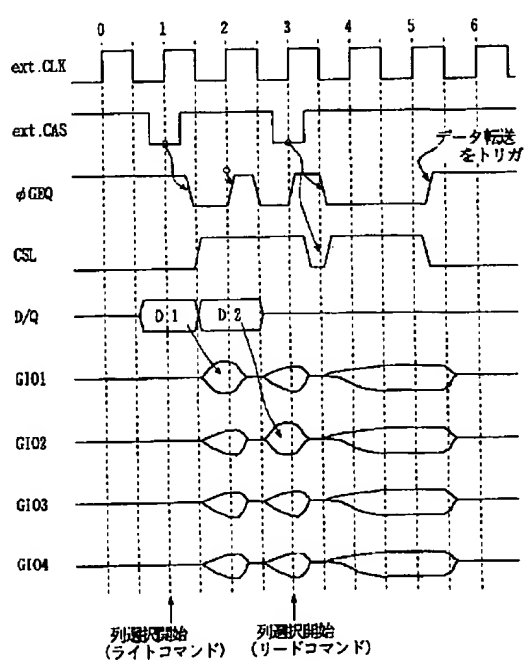
【図115】



【図116】



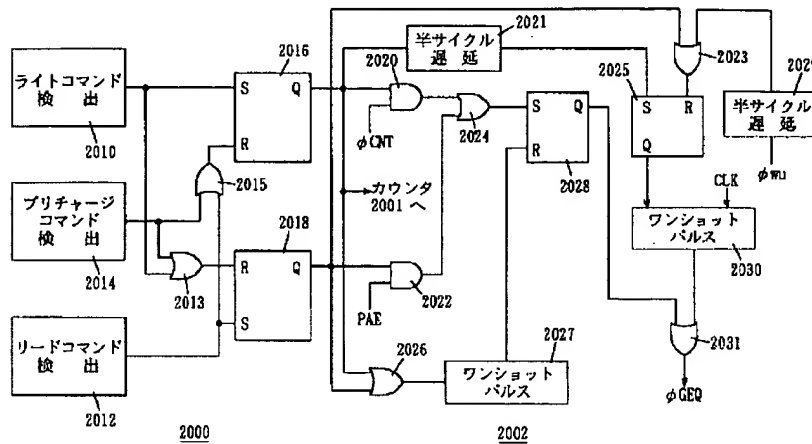
【図117】



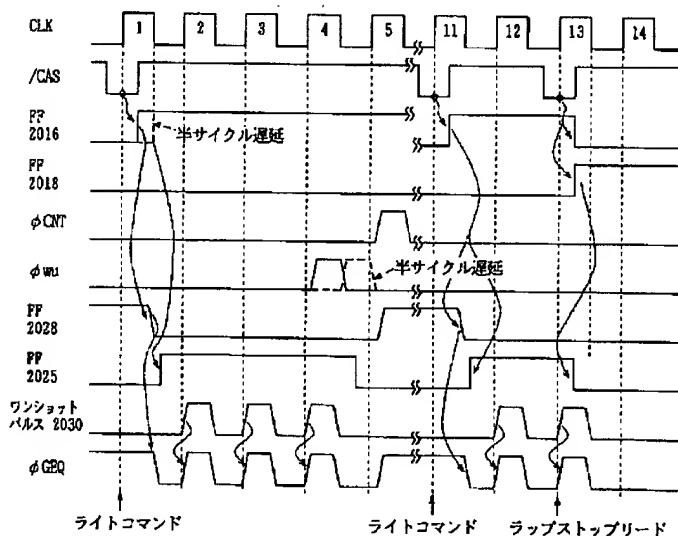
(107)

特開平6-318391

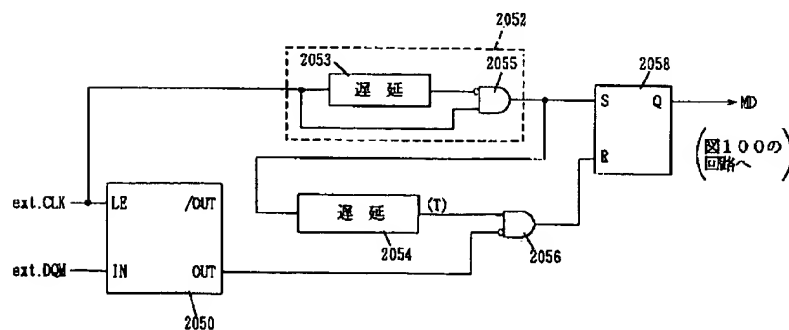
【図118】



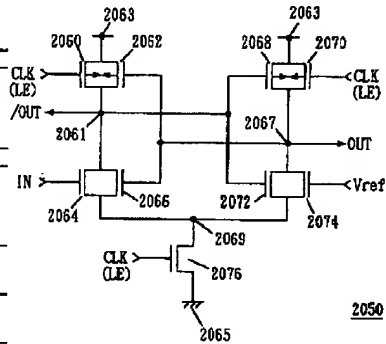
【図119】



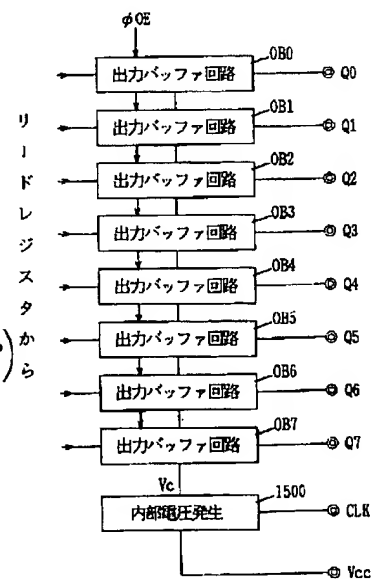
【図128】



【図129】



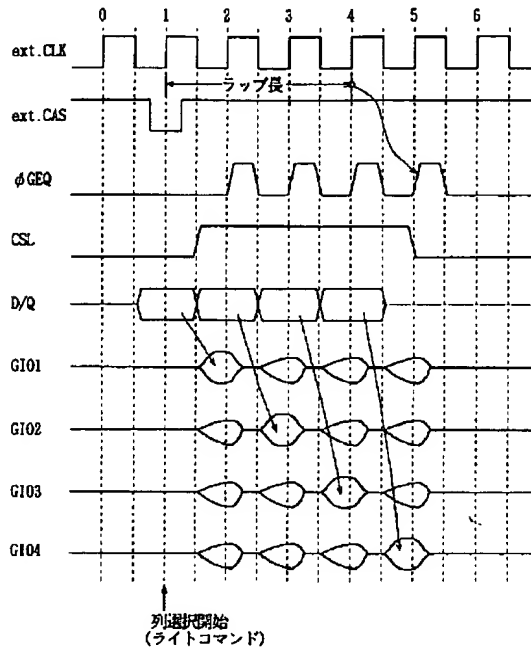
【図137】



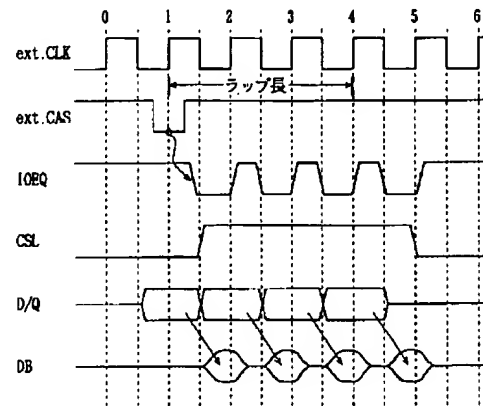
(108)

特開平6-318391

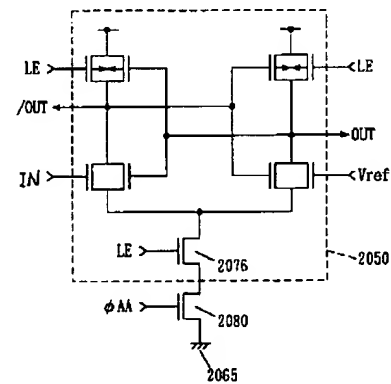
【図120】



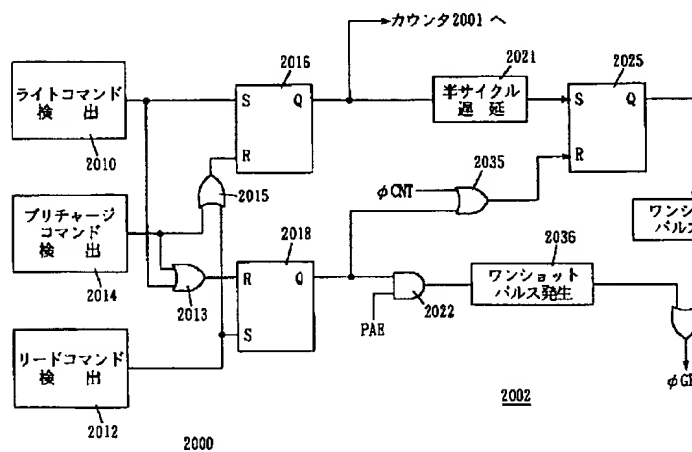
【図122】



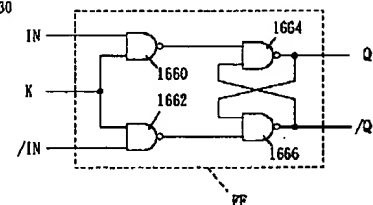
【図132】



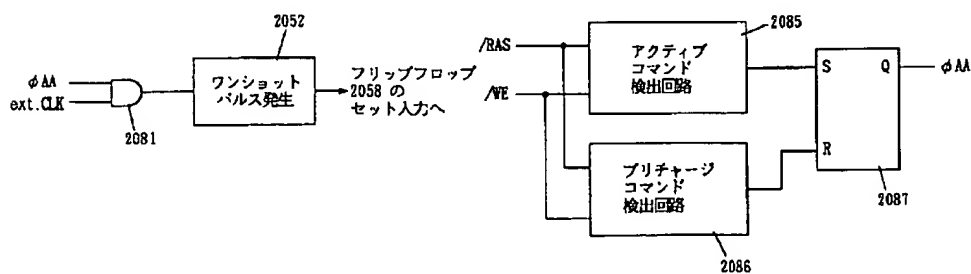
【図121】



【図143】



【図133】

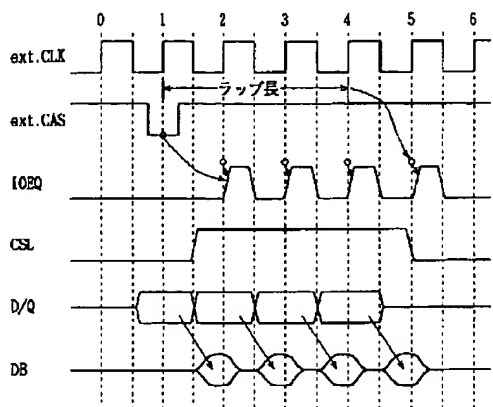


【図135】

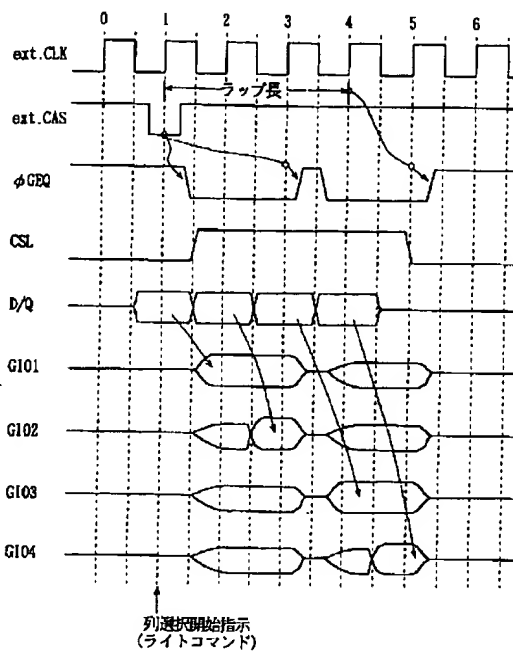
(109)

特開平6-318391

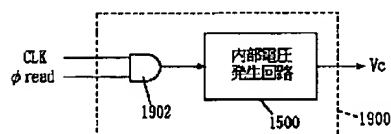
【図123】



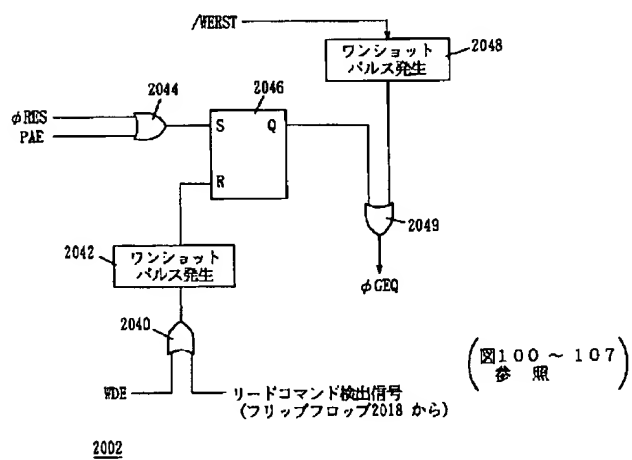
【図124】



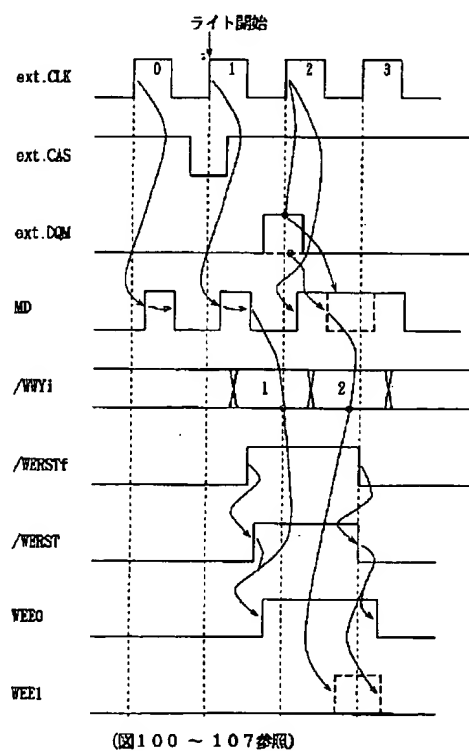
【図150】



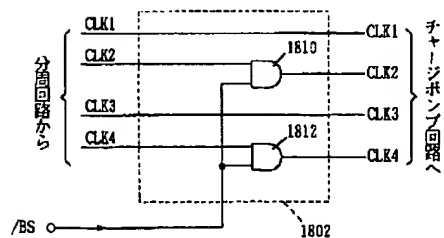
【図125】



【図127】



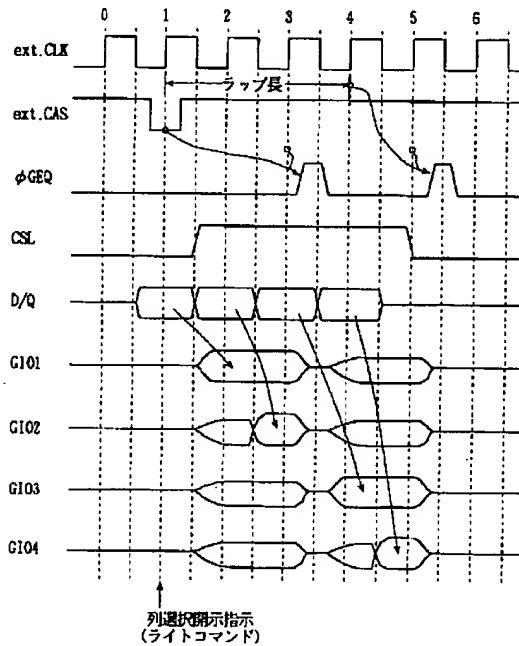
【図148】



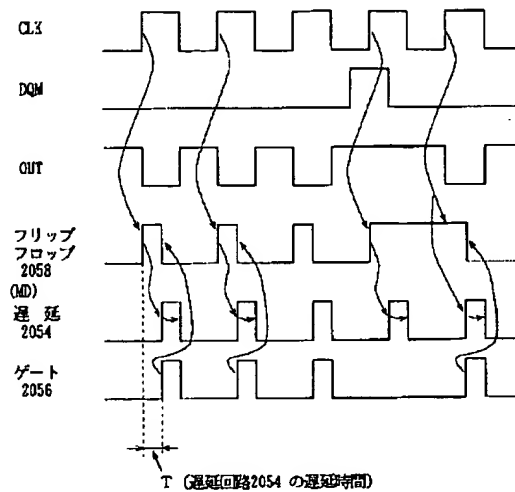
(110)

特開平6-318391

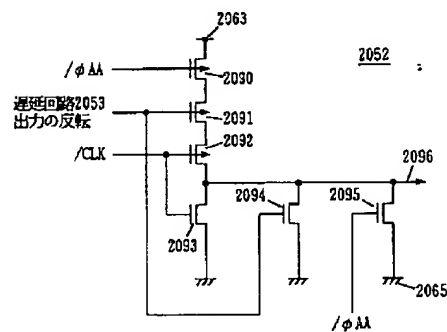
【図126】



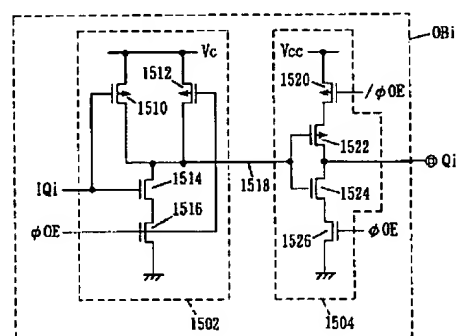
【図131】



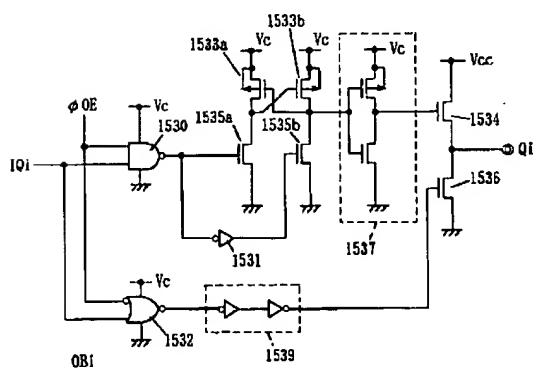
【図134】



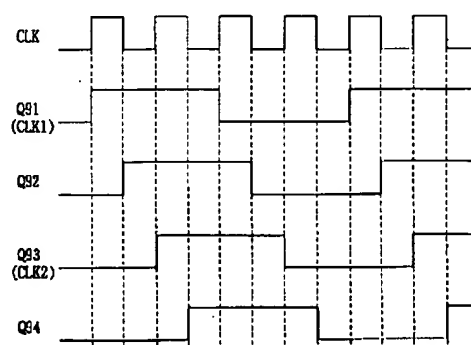
【図138】



【図139】



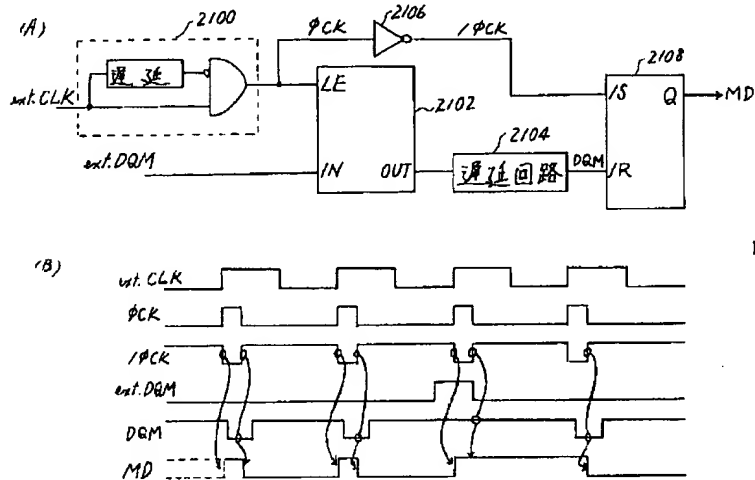
【図144】



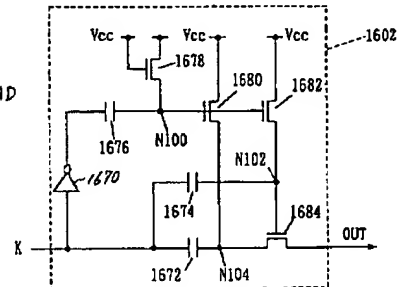
(111)

特開平6-318391

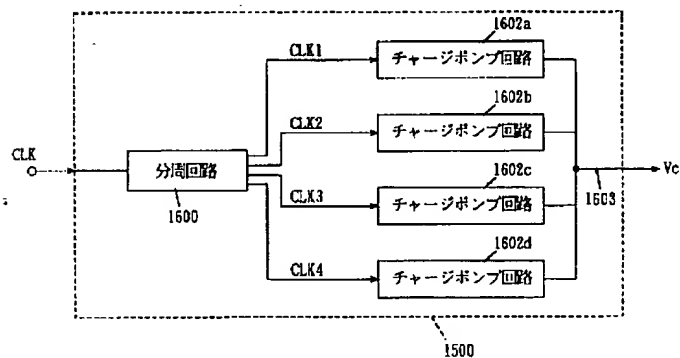
【図136】



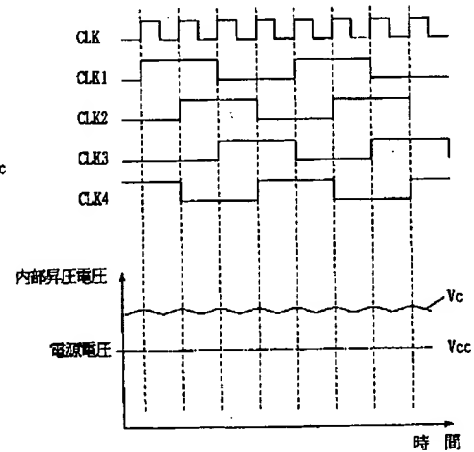
【図145】



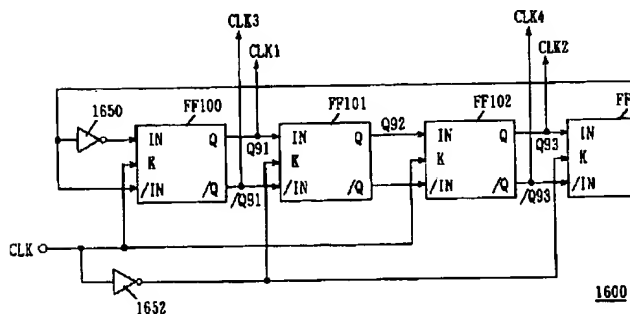
【図140】



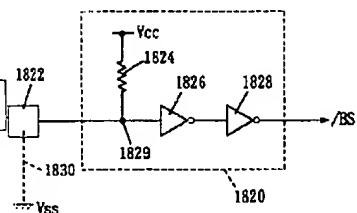
【図141】



【図142】



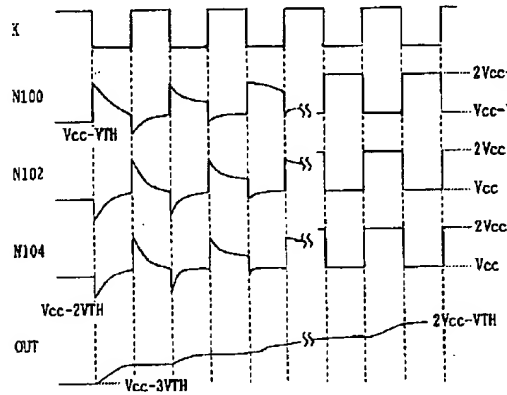
【図149】



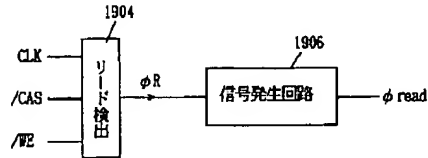
(112)

特開平6-318391

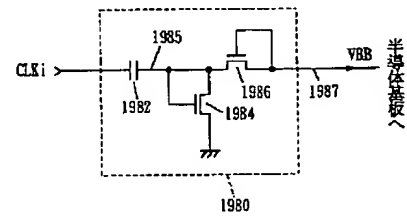
【図146】



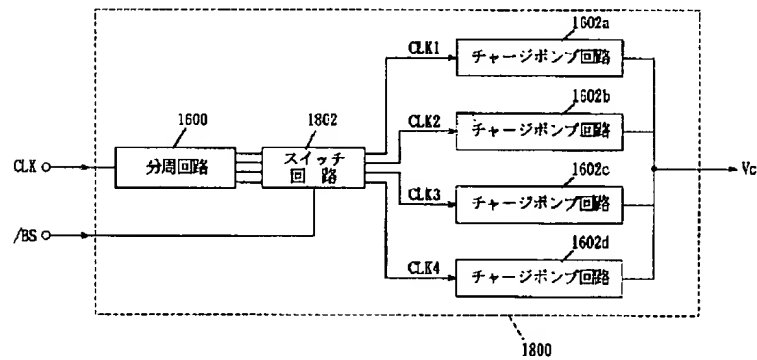
【図151】



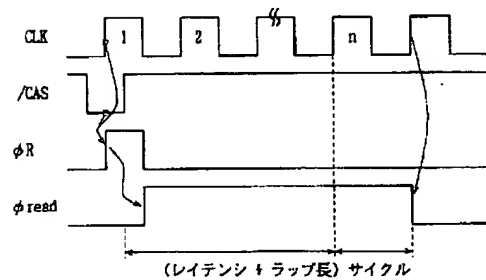
【図156】



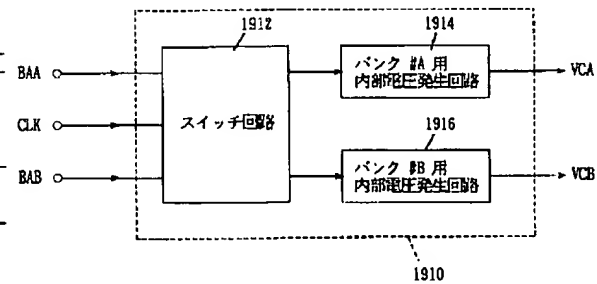
【図147】



【図152】



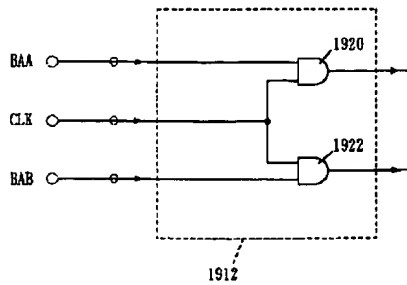
【図153】



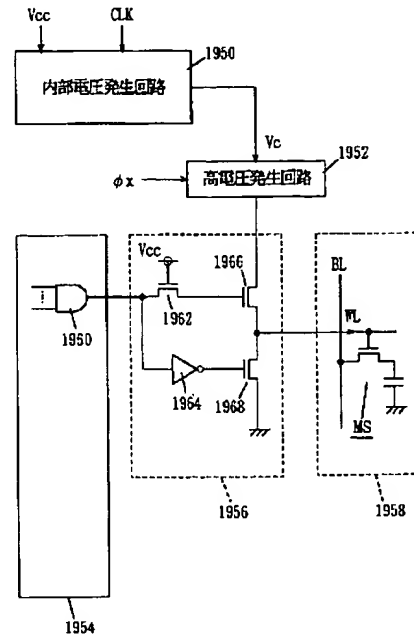
(113)

特開平6-318391

【図154】



【図155】



フロントページの続き

(72)発明者 岩本 久
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社ユー・エル・エス・アイ開発研究
 所内
 (72)発明者 小西 康弘
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社ユー・エル・エス・アイ開発研究
 所内

(72)発明者 渡▲辺▼ 直也
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社ユー・エル・エス・アイ開発研究
 所内
 (72)発明者 澤田 誠二
 兵庫県伊丹市瑞原4丁目1番地 三菱電機
 株式会社北伊丹製作所内